

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-224488

(43)Date of publication of application : 08.08.2003

(51)Int.Cl.

H04B 1/30

H04B 1/16

H04B 1/707

(21)Application number : 2002-020251

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 29.01.2002

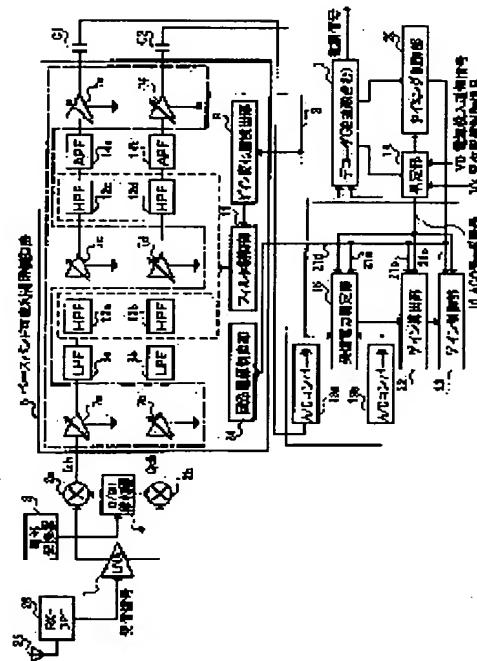
(72)Inventor : MATSUMOTO HIDENORI
OBARA TOSHIRO

(54) DIRECT CONVERSION RECEIVER

(57)Abstract:

PROBLEM TO BE SOLVED: To achieve a further reduction in size and a further reduction in power consumption by using a direct conversion receiver for a DCMA receiver.

SOLUTION: A deciding part 18 and a gain variation detector 9 detect a period, when there is a possibility of the offset of DC components of the internal circuit of the direct conversion receiver increasing over a tolerable value, caused by AGC action, and during this period, the cut-off frequency of high-pass filters 12a-12d is made higher than that at usual action so as to quickly converge the transient response of the signal having passed the filter in question, and also the action timing of a received power measuring apparatus 16, a gain computer 22, and a gain controller 23, constituting an AGC group and a circuit power controller 24, is controlled carefully, whereby stable circuit action is guaranteed, while preventing the increase of DC offset.



LEGAL STATUS

[Date of request for examination] 01.05.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

BEST AVAILABLE COPY

decision of rejection]

[Date of extinction of right]

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The DC offset reduction approach which is an approach of reducing DC offset generated in a direct conversion receiver, detects the high period of possibility that DC offset will increase, makes the time constant of the filter for DC component inhibition by which it is placed between signal paths smaller than the time of normal operation in the period, and is characterized by to complete quickly the transient response of the signal which passed said filter.

[Claim 2] Detection of being the high period of possibility that DC offset will increase is the DC offset reduction approach according to claim 1 characterized by to perform that the amount of gain value changes set as the variable gain amplifier which is the component of an AGC control loop exceeded the specified quantity, or a current direct conversion receiver based on being in either the period just behind powering on, the period immediately after starting of the receiver in intermittent reception or the period immediately after initiation of different frequency measurement.

[Claim 3] The multiplication of the local signal of the same frequency is substantially carried out to the received RF signal with this RF signal. Direct, It changes into baseband signaling. The baseband signaling A variable gain amplifier, After amplifying by the baseband adjustable gain amplifying circuit which contains a low pass filter and the cut-off frequency adjustable high-pass filter for DC component cut in a component, When the amount of gain value changes set as the variable gain amplifier which is an AGC circuit in the direct conversion receiver which performs A/D conversion and recovery processing, and is the component of an AGC control loop exceeds the specified quantity, Or when a current direct conversion receiver is in the period just behind powering on, the period immediately after starting of the receiver in intermittent reception, or the period immediately after initiation of different frequency measurement Switch the cut-off frequency of said high-pass filter to a frequency higher than the frequency in normal operation, and the time constant of said high-pass filter is made small. The AGC circuit in the direct conversion receiver characterized by having the filter control section which completes said DC fluctuation as a high speed.

[Claim 4] The multiplication of the local signal of the same frequency is substantially carried out to the received RF signal with this RF signal. Direct, It changes into baseband signaling. The baseband signaling A variable gain amplifier, After amplifying by the baseband adjustable gain amplifying circuit which contains a low pass filter and the high-pass filter for DC component cut in a component, The power test section which is the AGC circuit in a direct conversion receiver which performs A/D conversion and recovery processing, and measures received power based on the signal after A/D conversion, The gain calculation machine which computes the gain of said variable gain amplifier from the information on the difference of the received power and convergence desired value which were measured, The gain control section which controls the gain of said variable gain amplifier based on the computed gain, A filter control section with the function which switches the cut-off frequency of said high-pass filter to two steps of height at least, If the gain of said variable gain amplifier detects changing exceeding the specified quantity as a result of control by said gain control section It has the gain variation detecting element

notified to said filter control section. Said filter control section The AGC circuit in the direct conversion receiver which will be characterized by switching the cut-off frequency of said high-pass filter to a quantity side if the notice from said gain variation detecting element is received. [Claim 5] At the period when the cut-off frequency of said high-pass filter is switched to the quantity side, said gain calculation machine and said gain control section are an AGC circuit in a direct conversion receiver according to claim 4 characterized by performing at least one of whether change width of face of the gain per updating is enlarged, or the period of said updating is shortened.

[Claim 6] Said filter control section is an AGC circuit in a direct conversion receiver according to claim 4 or 5 which returns to a low side again, and faces said power test section measuring the average received power in a predetermined period, and is characterized by not measuring received power about the section when the cut-off frequency of said high-pass filter within said predetermined period is switched to the quantity side after switching the cut-off frequency of said high-pass filter to a quantity side.

[Claim 7] The multiplication of the local signal of the same frequency is substantially carried out to the received RF signal with this RF signal. Direct, It changes into baseband signaling. The baseband signaling A variable gain amplifier, After amplifying by the baseband adjustable gain amplifying circuit which contains a low pass filter and the high-pass filter for DC component cut in a component, The power test section which is the AGC circuit in a direct conversion receiver which performs A/D conversion and recovery processing, and measures received power based on the signal after A/D conversion, The gain calculation machine which computes the gain of said variable gain amplifier from the information on the difference of the received power and convergence desired value which were measured, The gain control section which controls the gain of said variable gain amplifier based on the computed gain, A filter control section with the function which switches the cut-off frequency of said high-pass filter to two steps of height at least, Possibility that DC offset of the signal which passed said high-pass filter will increase is based [whether it is in a high condition, and] on the information included in the signal after said recovery processing. Or the judgment section which judges based on the operating state of said direct conversion receiver itself, and notifies the judgment result to said filter control section, When it **** and the notice from said judgment section is received, said filter control section is an AGC circuit in a direct conversion receiver characterized by switching the cut-off frequency of said high-pass filter to a quantity side.

[Claim 8] At the period when the cut-off frequency of said high-pass filter is switched to the quantity side, said gain calculation machine and said gain control section are an AGC circuit in a direct conversion receiver according to claim 7 which performs at least one of whether change width of face of the gain per updating is enlarged, or the period of said updating is shortened, and is characterized by realizing AGC control more nearly high-speed than the time of the usual actuation.

[Claim 9] Said filter control section is an AGC circuit in a direct conversion receiver according to claim 7 or 8 which returns to a low side again, and faces said power test section measuring the average received power in a predetermined period, and is characterized by not measuring received power about the section when the cut-off frequency of said high-pass filter within said predetermined period is switched to the quantity side after switching the cut-off frequency of said high-pass filter to a quantity side.

[Claim 10] The CDMA receiver which carried the AGC circuit in the direct conversion receiver of a publication in either of claim 3 to claims 9.

[Claim 11] The variable gain amplifier for being a baseband adjustable gain amplifying circuit for amplifying baseband signaling, and amplifying said baseband signaling carried in a direct conversion receiver, The high-pass filter from which the cut-off frequency for DC blocking by which it is placed between the signal paths of baseband signaling can be changed to two steps of height at least, The variation of the gain set as said variable gain amplifier that it is over a predetermined threshold by the gain variation detecting element to detect and this gain variation detecting element The baseband adjustable gain amplifying circuit characterized by having the filter control section which switches the cut-off frequency of said high-pass filter to a quantity

side when it is detected that the variation of gain is over said predetermined threshold.

[Claim 12] The variable gain amplifier for being a baseband adjustable gain amplifying circuit for amplifying baseband signaling, and amplifying said baseband signaling carried in a direct conversion receiver, The high-pass filter from which the cut-off frequency for DC blocking by which it is placed between the signal paths of baseband signaling can be changed to two steps of height at least, The baseband adjustable gain amplifying circuit characterized by having the filter control section which switches the cut-off frequency of said high-pass filter based on the AGC mode signal and timing control signal of said direct conversion receiver which are supplied from the outside.

[Claim 13] The variable gain amplifier for being a baseband adjustable gain amplifying circuit for amplifying baseband signaling, and amplifying said baseband signaling carried in a direct conversion receiver, The high-pass filter from which the cut-off frequency for DC blocking by which it is placed between the signal paths of baseband signaling can be changed to two steps of height at least, The D/A converter which changes into an analog signal the gain data set as said variable gain amplifier, and the digital data containing the switch directions data of the cut-off frequency of said high-pass filter, The baseband adjustable gain amplifying circuit characterized by having the filter control section which switches the cut-off frequency of said high-pass filter based on the signal corresponding to the switch directions data of said cut-off frequency included in the conversion output of this D/A converter.

[Claim 14] The variable gain amplifier for being a baseband adjustable gain amplifying circuit for amplifying baseband signaling, and amplifying said baseband signaling carried in a direct conversion receiver, The high-pass filter from which the cut-off frequency for DC blocking by which it is placed between the signal paths of baseband signaling can be changed to two steps of height at least, While receiving the digital control signal containing the data which specify the oscillation frequency of a PLL synthesizer circuit and this PLL synthesizer circuit The interface circuitry which outputs the oscillation output outputted from said PLL synthesizer circuit as specified by said data as a control signal for switching the cut-off frequency of said high-pass filter, The baseband adjustable gain amplifying circuit characterized by having the filter control section which switches the cut-off frequency of said high-pass filter based on said control signal outputted from said interface circuitry.

[Claim 15] The variable gain amplifier for being a baseband adjustable gain amplifying circuit for amplifying baseband signaling, and amplifying said baseband signaling carried in a direct conversion receiver, The high-pass filter from which the cut-off frequency for DC blocking by which it is placed between the signal paths of baseband signaling can be changed to two steps of height at least, The circuit which performs ON/OFF of the power source of said baseband adjustable gain amplifying circuit, The baseband adjustable gain amplifying circuit characterized by having the filter control section which switches the cut-off frequency of said high-pass filter by making into a trigger for the power source to have changed with the circuits which perform ON/OFF of this power source from OFF to ON.

[Translation done.]

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the DC (Direct Current) offset reduction approach, the AGC (Auto Gain Control) circuit in a direct conversion receiver, a CDMA (Code Division Multiple Access) receiver, and a baseband adjustable gain amplifying circuit.

[0002]

[Description of the Prior Art] A direct conversion receiver is a receiver which carries out the multiplication of the carrier (local signal) of the same frequency to the RF signal received with the antenna substantially, excludes conversion to an intermediate frequency, and is direct changed into baseband signaling, and contributes to the miniaturization of a radio set, lightweight-izing, and low-power-ization.

[0003] The direct conversion receiver is indicated by JP,10-247953,A, for example.

[0004] However, a direct conversion receiver has the problem that the direct current offset (henceforth, DC offset) of a circuit proper occurs.

[0005] As a cure to this DC offset, a high-pass filter is inserted in a signal path, and there is a method of preventing a dc component by the capacitor so that it may be indicated by drawing 11 of above-mentioned JP,10-247953,A.

[0006]

[Problem(s) to be Solved by the Invention] The artificer of the invention in this application examined carrying a direct conversion receiver in a CDMA receiver like a cellular phone.

[0007] Consequently, by the approach of becoming the cause by which an indispensable AGC circuit makes a CDMA receiver generate DC offset, and inserting an above-mentioned high-pass filter in a signal path, it became clear that the problem of DC offset resulting from this AGC circuit is unsolvable.

[0008] Hereafter, this trouble is explained.

[0009] In order to always perform correctly data discernment from the information on the self terminal in the same channel, and other users also in which area of a weak-electric-current community and a heavy current community in the case of a CDMA receiver, it is indispensable to prepare the AGC circuit which maintains the signal amplitude to an A/D converter input at a certain within the limits.

[0010] Received signal power is surveyed, and fundamental actuation of an AGC circuit generates a control signal by the comparison with desired value, and changes the gain of adjustable gain amplifier with the control signal (negative-feedback-control actuation).

[0011] Especially with a CDMA receiver, they are a power up and intermittent reception (a cellular phone awaits and it is in the condition). Immediately after starting of the circuit at the time of the reception which checks the synchronization with a base station intermittently, turns off a circuit power source in the state of others, and is made into low-power mode, Or when the handover between the different frequency cels by comp rest mode is performed, In the Asian area where the base station of a different method like a W-CDMA method and a GSM (Global System for Mobile communications) method is intermingled When performing a handover between the base stations where methods differ, it is necessary to adjust the convergence factor of

adjustable gain amplifier to a high speed so that a current receive state may be suited, and it is necessary to increase the gain of a negative feedback loop formation in this case.

[0012] That is, while shortening the interval which updates the gain of adjustable gain amplifier, it is required to enlarge control value-change width of face per renewal of gain.

[0013] Thus, if the gain of adjustable gain amplifier is frequently updated by big change width of face, the voltage variation accompanying the gain switch will be transmitted to the capacitor of the above-mentioned high-pass filter by which it is placed between signal paths, and a sharp differential wave will be outputted in instant as the result.

[0014] Although this differential wave is converged with time amount progress, if the following differential wave is outputted before that convergence, as shown in drawing 10, differential waves will overlap one after another and the direct current voltage of a circuit will shift greatly as that result. That is, big DC offset occurs.

[0015] If such big DC offset occurs, the precision of a recovery signal will fall and exact AGC control will become difficult.

[0016] As mentioned above, in a direct conversion receiver, the high-pass filter for preventing a dc component is required, and, on the other hand, the AGC circuit is indispensable in a CDMA receiver, and a high-pass filter is also the component of an AGC loop formation inevitably.

[0017] And for example, in the early stages of AGC control, such as a power up, it is an indispensable thing to also make a high speed follow the convergence factor of AGC greatly (for it to be about gain variation) at the propagation environment of the external world. Thus, if the flattery capacity of AGC is increased in order to bring convergence forward, the result that time amount until DC offset occurs, exact AGC control becomes difficult after all and it completes the gain of adjustable gain amplifier as mentioned above by the lap of a differential wave outputted from a high-pass filter synchronizing with a gain switch of adjustable gain amplifier becomes long and of having been contradictory will be brought.

[0018] Thus, if it is going to apply a direct conversion receiver to receivers, such as a CDMA method which carried the AGC circuit, it is difficult for self-conflict to arise in AGC actuation, therefore to use a direct conversion receiver actually as a CDMA receiver.

[0019] This invention is made in order to conquer such a new trouble found out by the invention-in-this-application person, and the purpose is in enabling exact and high-speed AGC control in a direct conversion receiver, without making into a problem to reduce DC offset which originates in AGC control and is generated, and generating of DC offset.

[0020]

[Means for Solving the Problem] In this invention, the high period of possibility that DC offset will increase is detected, the time constant of the high-pass filter for DC component inhibition by which it is placed between signal paths is made smaller than the time of normal operation in the period, the transient response (differential wave) of the signal which passed the high-pass filter is completed quickly, and this decreases to extent which can disregard DC offset in actual actuation of a circuit.

[0021] Thereby, the lap of a differential wave is lost and accumulation of in one direction flowed fluctuation is prevented. Therefore, big DC offset does not occur.

[0022] It realizes, when making the time constant of a high-pass filter small raises the cut off frequency (cut-off frequency) of a high-pass filter. However, if the cut off frequency of a high-pass filter is made higher than a certain value (i.e., if it brings close to the frequency of a modulating-signal (input signal) component), the new problem that the amplitude and phase change of a modulating-signal (input signal) component become large, a gap of a vector becomes large, and recovery precision falls will arise.

[0023] A recovery precision here is E.V.M. (error vector MAGUNYUCHUDO), and this recovery precision is determined by which has shifted from the timing (sampling point of an ideal) from which the timing which restores to an actual input signal with distortion recovers an ideal wave-like input signal.

[0024] That is, changing the time constant of a high-pass filter also becomes giving different deformation from former to the wave of an input signal, and it becomes the cause by which this reduces recovery precision.

[0025] so, in this invention, only when big DC offset occurs sharply, the cut off frequency of a high-pass filter is made high (when the danger of generating is high), and generated DC offset is promptly converged on the same level as a steady state -- making -- periods other than this -- the cut off frequency of a high-pass filter -- usually -- a passage -- low -- carrying out .

[0026] Thus, by controlling a switch of the time constant of a high-pass filter appropriately according to a receive state (the operating state of a receiver being included), without making the fall of receiving precision into a problem, DC offset can be controlled effectively and a high speed and exact AGC control can be performed.

[0027] That is, in the AGC circuit of this invention, it originates in the AGC control action of self, the cure on the essential problem that DC offset increases is made, and the stable actuation is always secured.

[0028]

[Embodiment of the Invention] In this invention according to claim 1, the time constant of the high-pass filter for DC component inhibition by which it is placed between signal paths is made smaller than the time of normal operation in the high period of possibility that DC offset will increase. It prevents that an in one direction flowed shift is accumulated by completing quickly by this the transient response of the signal which passed the high-pass filter, and abolishing the lap of a differential wave.

[0029] In this invention according to claim 2, in claim 1, it detects that the amount of gain value changes set as the variable gain amplifier which is the component of an AGC control loop having exceeded the specified quantity, or a current direct conversion receiver is in the period just behind powering on, the period immediately after starting of the receiver in intermittent reception, or the period immediately after initiation of the different frequency measurement in a W-CDMA system, and judges with it being the high period of possibility that DC offset will increase.

[0030] When, as for the AGC circuit of this invention according to claim 3, the amount of gain value changes set as the variable gain amplifier which is the component of an AGC control loop exceeds the specified quantity, Or when a current direct conversion receiver is in the period just behind powering on, the period immediately after starting of the receiver in intermittent reception, or the period immediately after initiation of the different frequency measurement in a W-CDMA system The cut-off frequency of said high-pass filter is switched to a frequency higher than the frequency in normal operation, the time constant of a high-pass filter is made small, and it has the filter control section which completes DC fluctuation as a high speed.

[0031] In the AGC circuit of this invention according to claim 4, by the gain variation detecting element, it detects that the variation of the gain of a variable gain amplifier is more than the specified quantity, and a filter control section switches the cut-off frequency of a high-pass filter to a quantity side in response to the notice of the detection result.

[0032] In claim 4, in the period when the cut-off frequency of a high-pass filter is switched to the quantity side, a gain calculation machine and a gain control section perform at least one of whether change width of face of the gain per updating is enlarged, or the period of updating is shortened, and realize AGC control more nearly high-speed than the time of the usual actuation at the AGC circuit of this invention according to claim 5. Since the danger of DC offset is reduced, gain of a negative feedback loop formation is made high, and the flattery to a receiving environment is accelerated.

[0033] In claim 4 or claim 5, after a filter control section switches the cut-off frequency of a high-pass filter to a quantity side, it returns to a low side again, and it faces that a power test section measures the average received power in a predetermined period, and, as for the AGC circuit of this invention according to claim 6, the cut-off frequency of a high-pass filter within a predetermined period does not measure received power about the section switched to the quantity side. Since the actual measurement of the power in the period which increases DC offset is unreliable, it is not considering as the foundation of AGC control of this, and prevents the dependability fall of control.

[0034] When the AGC circuit of this invention according to claim 7 judged whether possibility that DC offset of the signal which passed the high-pass filter will increase was in a high

condition based on the operating state of the direct conversion receiver itself based on the information included in the signal after recovery processing, and prepared the judgment section which notifies the judgment result to a filter control section and the notice from the judgment section was received, the filter control section switched the cut-off frequency of a high-pass filter to the quantity side. According to this configuration, a gain variation detecting element according to claim 4 becomes unnecessary.

[0035] In the AGC circuit of claim 8 and this invention according to claim 9, the same control as invention indicated by claim 5 and claim 6 is performed in claim 7.

[0036] This invention according to claim 10 is the CDMA receiver which carried the AGC circuit according to claim 3 to 9, and the actuation which this CDMA receiver does not have a problem of the fall of recovery precision or the destabilization of AGC control which have the outstanding property of small [which a direct conversion receiver has], a light weight, and a low power, and originate in DC offset, and was stabilized is secured.

[0037] Moreover, invention indicated by claim 11 – claim 15 It is a thing about a baseband adjustable gain amplifying circuit. Claim 11 The configuration and claim 12 which detect the amount of gain fluctuation and switch the cut-off frequency of a high-pass filter The configuration and claim 13 which switch the cut-off frequency of a high-pass filter based on an AGC mode signal and a timing control signal In response to digital control data, the configuration and claim 14 which switch the cut-off frequency of a high-pass filter The configuration which switches the cut-off frequency of a high-pass filter using a PLL synthesizer, and claim 15 have indicated the configuration which switches the cut-off frequency of a high-pass filter on the basis of the timing of power-source ON, respectively.

[0038] Thus, the main point of this invention is making the time constant of a high-pass filter small, preventing accumulation of in one direction flowed fluctuation, and reducing DC offset, when it becomes the situation that originate in AGC control and DC offset increases.

[0039] As an approach of detecting it being in the situation that DC offset increases here, it divides roughly and the following three approaches can be considered.

[0040] The 1st approach is the approach of judging to be those with the danger that DC offset will increase when the threshold which detected the gain variation of gain control and was set up beforehand is exceeded. The 2nd approach It is the approach of specifying the timing which detects a power up, the time of starting of intermittent reception, etc. based on an internal control signal by the user, and DC fluctuation tends to produce. The 3rd approach In the time of comp rest mode etc., it is the approach of specifying the timing which receives the information on moving between cels etc. and DC fluctuation produces by this from the information included in an input signal.

[0041] In this invention, the situation that we are anxious about increase of DC offset resulting from a gain switch of the variable gain amplifier by AGC control is detected by one of above-mentioned approaches, only only few periods change the time constant of a high-pass filter, and accumulation of an in one direction flowed error is prevented beforehand.

[0042] Hereafter, the gestalt of operation of this invention is concretely explained with reference to a drawing.

[0043] (Gestalt 1 of operation) The description of the gestalt of this operation is detecting the gain variation of a variable gain amplifier and switching the time constant of a high-pass filter.

[0044] Before explaining the configuration and actuation of the direct conversion receiver of this invention, a reason with a switch of the cut off frequency of a high-pass filter effective in reduction of DC offset in a direct conversion receiver is first explained using drawing 2 – drawing 10 .

[0045] Drawing 2 shows the gain characteristics of the variable gain amplifier at the time of changing the gain of an adjustable gain amplifying circuit using an analog-control electrical potential difference, and drawing 3 shows the gain characteristics of the variable gain amplifier at the time of carrying out control by the digital control signal (serial data).

[0046] Invention concerning the gestalt of this operation is realizable in the adjustable gain amplifying circuit in which gain has the property of changing to a linear, as shown in drawing 2 or drawing 3 .

[0047] Drawing 4 shows the cut off frequency of a high-pass filter, and the relation of the recovery precision (error characteristics) of an input signal, and drawing 5 shows the convergence property of a differential wave over the cut off frequency of a high-pass filter. In drawing 5, the cut off frequency is high at the order of properties S1, S2, and S3.

[0048] If a cut off frequency becomes high so that drawing 4 may show, recovery precision will fall because the amplitude and phase change of a modulating-signal component become large.

[0049] Moreover, when the cut off frequency of a high-pass filter was made high and a differential wave occurs with the transient characteristic of a high-pass filter so that drawing 5 may show, the time amount which convergence of the voltage level of the differential wave takes becomes short.

[0050] That is, although convergence of a differential wave will be rash if the cut off frequency of a high-pass filter is increased, recovery precision deteriorates in one side. Therefore, in case the cut off frequency of a high-pass filter must be lowered in case priority is given to a receiving property, and priority is given to convergence of DC fluctuation to this, the cut off frequency of a high-pass filter must be made high.

[0051] Drawing 6 is drawing showing the correspondence relation of the amount of fluctuation of the gain set as a variable gain amplifier, and the amount of DC offset to generate.

[0052] In a baseband adjustable gain amplifying circuit, there is an inclination which the amount of DC fluctuation increases in proportion to gain variation so that drawing 6 may show. It is only a fixed period's until DC fluctuation is stabilized making high the cut off frequency of a high-pass filter (when it being in AGC mode 1), and making a cut off frequency low, when other (at the time of the AGC mode 2) only when change of the gain set as an adjustable gain amplifying circuit from this is large, and it is guessed that the optimal control doubled with the situation is attained.

[0053] On the other hand, the BER (Bit Error Rate) property of the recovery signal by DC offset value near a sensibility point is shown in drawing 7, and received electric field show the change of the mean power measured value corresponding to DC offset value in a fixed condition to drawing 8.

[0054] Drawing 7 shows that the BER property of a recovery signal deteriorates as DC offset value increases, and it turns out that a value with a high measurement power value comes to be shown as DC offset value increases from drawing 8.

[0055] That is, when a certain value has little effect, the greatest offset value of the range with little this effect is defined as an allowed value (threshold) and DC offset exceeds this, DC offset makes high the cut off frequency of a high-pass filter, and, less than [it], can say it that it is best to make low the cut off frequency of a high-pass filter.

[0056] Like before, drawing 10 shows signs that DC offset accumulates, when a gain switch of a variable gain amplifier is frequently performed at a short interval, with the cut off frequency of a high-pass filter fixed, and drawing 9 shows the situation of the fluctuation of DC offset at the time of switching the cut off frequency of a high-pass filter suitably using this invention.

[0057] Before fully being completed by the voltage variation of a differential wave generated corresponding to one gain switch so that drawing 10 may show, when the following differential wave is outputted, the in one direction flowed shift accumulates one after another, and consequent very big DC offset will occur.

[0058] The time of changing the gain of a variable gain amplifier to a power up etc. sharply at a high speed has the high danger that such big DC offset will occur.

[0059] For example, when carrying out gain of a variable gain amplifier to the ability to be made to change to ten steps temporarily and changing that whose present gain was level 1 to level 10, since ten steps of level cannot be changed at once, it is necessary to change level to a high speed gradually for every level.

[0060] At this time, with one switch of gain, as a differential wave is outputted one after another and it is shown in drawing 10, an in one direction flowed shift accumulates and it becomes big DC offset as total from a high-pass filter.

[0061] On the other hand, if the time constant of a high-pass filter is made small as shown in drawing 9, a differential wave will be radicalized and a voltage level will be converged quickly.

That is, the lap of each differential wave will be lost and the situation where an in one direction flowed shift accumulates will be prevented certainly by this.

[0062] Therefore, even if DC fluctuation by the transient response occurs to the high timing of the danger that DC offset will increase like this invention, by making high momentarily the cut off frequency of a high-pass filter, and making a time constant small, accumulation of DC fluctuation is prevented by making it converge promptly, and it becomes possible to always hold down the amount of DC fluctuation to satisfactory level.

[0063] The stable circuit actuation is secured preventing increase of DC offset certainly by controlling finely the timing of each part which constitutes an AGC loop formation of operation, taking into consideration change of such a cut off frequency, while changing the cut off frequency of a high-pass filter dynamically with the gestalt of this operation based on the above consideration.

[0064] As shown in drawing 1, the receiver of the direct conversion method of the gestalt of this operation An antenna 25, the band pass filter (RX-BPF) 26 for reception, the low noise amplifier (LNA) 1, rectangular mixer 2a, 2b, A local oscillator (local) 3, a phase shifter 4, the baseband adjustable gain amplifying circuit 6, the direct-current cut capacitors C1 and C2, A/D converters 13a and 13b, It has a decoder 17, the judgment section 18, the received-power test section 16, the timing control section 20, the gain calculation section 22, and the gain control section 23.

[0065] Moreover, the baseband adjustable gain amplifying circuit 6 has the gain adjustable amplifier 7a, 7b, 7c, 7d, 7e, and 7f, low pass filters (LPF) 8a and 8b, the cut-off-frequency change high-pass filters (HPF) 12a, 12b, 12c, and 12d, the all pass filters (APF) 14a and 14b, the gain variation detecting element 9, and the filter control section 11.

[0066] Subsequently, actuation of a direct conversion receiver is explained.

[0067] The signal received with the antenna 25 is inputted into LNA1 by it after the unnecessary signal component outside a receiving band (the noise by the transmitter is included) is removed by RX-BPF26. After LNA1 amplifies the modulated input signal ($f_0 \times \Delta f$), it is outputted to two rectangular mixer 2a and 2bs.

[0068] A local oscillator 3 oscillates the signal of the same frequency as the output frequency of LNA1 (f_0), and outputs it to a phase shifter 4. A phase shifter 4 remains a phase as it is to rectangular mixer 2a in the signal outputted from the local oscillator 3, and advances and outputs a phase to rectangular mixer 2b about 90 degrees. Rectangular mixer 2a and 2b carry out the multiplication of the output ($f_0 \times \Delta f$) from LNA1, and the output (f_0) from a phase shifter 4, and output the generated baseband signaling (Δf) to the baseband adjustable gain amplifying circuit 6.

[0069] An unnecessary predetermined frequency component is removed by LPF 8a and 8b, HPF12a, 12b, 12c, 12d, and APF 14a and 14b, and the signal inputted into the baseband adjustable gain amplifying circuit 6 is amplified according to predetermined gain in variable gain amplifiers 7a, 7b, 7c, 7d, 7e, and 7f.

[0070] Here, HPF 12a, 12b, 12c, and 12d removes the frequency component below the cut off frequency concerned of baseband signaling according to the cut off frequency set up beforehand by the filter control section 11.

[0071] Moreover, variable gain amplifiers [7a 7b, 7c, and 7d] gain is dynamically adjusted by the gain control section 23.

[0072] A/D conversion is performed in A/D converters 13a and 13b, and the output signal of the baseband adjustable gain amplifying circuit 6 is decoded in a decoder 17, after a phase goes via the direct-current cut capacitors C1 and C2 for every I component different 90 degrees and Q component (the back diffusion of electrons is included). Each output of A/D converters 13a and 13b is outputted also to the received-power test section 16.

[0073] In the received-power test section 16, it converts into a power value after adding the square value of the amplitude of I component of an input signal, and Q component. In the equipment which receives the input signal from which a peak factor differs like a W-CDMA method, since receiving level changes with receiving timing (decided systematically), it is necessary to carry out the power value conversion of the power measured value by equalizing in

a certain fixed section. This measurement section is determined by the receive mode signal outputted from the judgment section 18. About this point, it mentions later.

[0074] The signal VD which the various information that an input signal is contained is supplied, and notifies powering on, and the timing control signal VX at the time of intermittent reception are also supplied to the judgment section 18.

[0075] It gives the AGC mode signal 19 to the received-power test section 16, the gain calculation section 22, and the gain control section 23 while this judgment section 18 judges a current receive state from the various information included in an input signal, or judges the operating state of a current direct conversion receiver with the notice signal VD of powering on, and the timing control signal VX at the time of intermittent reception and notifies that judgment result to the timing control section 20.

[0076] In addition, the timing control section 20 gives each of the received-power test section 16, the gain calculation section 22, the gain control section 23, and the circuit power control section 24 in the baseband adjustable gain amplifying circuit 6 control signals 21a-21d, and controls the timing of each part in generalization. The circuit power control section 24 makes the power source of the baseband adjustable gain amplifying circuit 6 turn on / turn off intermittently, and realizes the so-called intermittent reception (awaiting receive mode).

[0077] As AGC mode in the gestalt of this operation here There are fast mode (mode 1) and a slow mode (mode 2). Fast mode (mode 1) For example, it is the mode adopted when it is adapted for a receiving environment and variable gain amplifiers [7a 7b, 7c, 7d, 7e, and 7f] gain is made to follow a high speed in the time of different frequency measurement starting etc. before synchronous establishment at the time of intermittent reception starting just behind powering on.

[0078] On the other hand, the gain control of an adjustable gain amplifying circuit converges a slow mode (mode 2), it is the mode adopted when stable data reception is performed, and in this mode, the updating frequency of the gain of an adjustable gain amplifying circuit is lessened, and 1 time of the amount of updating is made small, and the level of the harmonic content accompanying a gain switch is controlled so that increase of DC offset may not be caused.

[0079] Each timing of the received-power test section 16, the gain calculation section 22, and the gain control section 23 of operation is determined based on the AGC mode signal outputted from the judgment section 18, and the timing control signals 21a-21c outputted from the timing control section 20.

[0080] Moreover, the timing of the circuit power control section 24 of operation is controlled by 21d of timing control signals outputted from the timing control section 20.

[0081] The gain control section 23 sets the gain which the gain calculation section 22 computed as variable gain amplifiers [7a, 7b, 7c, 7d, 7e, and 7f] each.

[0082] A gain variation detecting element notifies this to the filter control section 11, when the amount of gain fluctuation of a variable gain amplifier (difference of the last set point and this set point amount) exceeds a predetermined threshold.

[0083] If the notice from the gain variation detecting element 9 is received, the filter control section 11 changes highly a high-pass filters [12a, 12b, 12c, and 12d] cut off frequency, makes a time constant small, will complete DC fluctuation promptly and will make a cut off frequency low again after fixed time amount progress. Such a switch of the cut off frequency of a high-pass filter is performed at the time of the AGC mode 1. That is, the AGC mode 1 is the mode of the cut off frequency of a high-pass filter by which it is switched and accompanied.

[0084] On the other hand, at the time of the above-mentioned AGC mode 2, the filter control section 11 maintains the cut off frequency of a high-pass filter, while it has been low (with the usual cut off frequency).

[0085] It can prevent certainly that originate in AGC control and big DC offset occurs by the above actuation in the direct conversion receiver which carries an AGC circuit.

[0086] However, in an AGC circuit, it is required for each part which is the component of a negative-feedback-control loop formation to operate cooperatively corresponding to AGC mode. Therefore, it is important to optimize the timing of each part of operation in consideration of a switch of the time constant of a high-pass filter.

[0087] From such a viewpoint, the timing of power measurement actuation is suitably changed by the received-power test section 16 with the gestalt of this operation corresponding to AGC mode.

[0088] Drawing 11 (a) is drawing showing the example of timing of the mean power measurement in the AGC mode 1 (mode accompanied by a switch of a high-pass filter), and drawing 11 (b) is drawing showing the example of timing of the mean power measurement in the AGC mode 2.

[0089] Suppose that mean power measurement periods are t_1-t_3 in drawing 11 (a) (this period). for example, in the early period (t_1-t_2) corresponding to 1 slot period Since the danger that DC offset will increase by the transient response of a high-pass filter is high (therefore, a switch of the time constant of a high-pass filter is performed in this period) and possibility that power measurement will not be performed correctly is high, measurement after it is performed except for power measurement of that section.

[0090] On the other hand, in the AGC mode 2 (mode corresponding to the condition that it is completed by AGC and stable reception is performed), as shown in drawing 11 (b), in order to raise the accuracy of measurement, the large measurement section is taken (periods t_1-t_3). Moreover it becomes possible not to be concerned with actuation of a high-pass filter, but to perform power measurement correctly by this, actuation of the gain calculation section 22 is also appropriately controlled corresponding to AGC mode. That is, based on control signal 21b from the AGC mode signal 19 from the judgment section 18, and the timing control section 20, the gain calculation approach and the data forwarding timing to the gain control section 23 are determined like the received-power test section 16.

[0091] Drawing 12 (a) shows the gain variation per updating at the time of the AGC mode 1, and an example of an updating period, and drawing 12 (b) shows the gain variation per updating at the time of the AGC mode 2, and an example of an updating period.

[0092] Like drawing 12 (a), since it is expected that the amount of gain fluctuation (it is a difference with a value this time value of the gain set as a variable gain amplifier and last time) becomes large, it is large in 1 time of gain variation at the time of the AGC mode 1, it is carrying out renewal timing of gain early, and is promptly completed as the amplitude of the optimal input signal on the assumption that a switch of the cut off frequency of a high-pass filter.

[0093] In drawing 12 (a), f_1-f_3 are gain values computed in the gain calculation section 22, and the level of each gain value is changing gradually. It is the gain value f_1 that the variation per updating is max, and at this time, it is changing from level L_0 to level L_1 , and serves as the maximum variation (the greatest change width of face of gain) LMS 1 by which this is permitted. Moreover, it is carried out at spacing (time of day t_1-t_3) also with the short updating period of gain.

[0094] As shown in drawing 12 (b) on the other hand, since it is expected that the amount of gain fluctuation is not so large at the time of the AGC mode 2, it is small in the gain variation per time, and the control control doubled with the property of a high-pass filter by carrying out renewal timing of gain slowly is appropriate. Especially at the time of the AGC mode 2, since data reception is performed, it is setting up so that it may become gain fluctuation of extent which does not generate DC offset beyond an allowed value, and stable reception is attained.

[0095] That is, in drawing 12 (b), the permission maximum width of the gain variation per updating is controlled by LMS2. Moreover, the update interval of gain is also lengthened (time of day t_4-t_8), and it considers so that actuation stabilized without generating big DC offset can be performed.

[0096] In addition, as for the updating timing of gain modification, it is desirable to determine accommodative from balance with the envelope (envelope) of the phasing frequency in a real busy condition and a modulating signal.

[0097] In addition, the output from the gain calculation section 22 may output a gain calculation value as serial data as it is, in the case of the variable gain amplifier of the type which performs gain control using direct current voltage, the calculation data value of the gain calculation section 22 is changed into analog voltage with a D/A converter, and it supplies it to a variable gain amplifier. Control by serial data is later explained concretely using drawing 18 – drawing 20.

[0098] Timing of operation is determined similarly based on control signal 21c from the AGC

mode signal and the timing control section 20 from the judgment section 18 in the gain control section 23.

[0099] Renewal of the gain which synchronized with the calculation period (output period) of the gain value in the gain calculation section 22 is [after receiving the calculation value from the gain calculation section 22] realizable with outputting the gain control signal S to the baseband adjustable amplifier 6 from the gain control section 23 promptly.

[0100] Drawing 13 (a) is the timing chart showing an example of the timing of each part which constitutes an AGC control loop of operation in the AGC mode 1, and drawing 13 (b) is the timing chart showing an example of the timing of each part which constitutes an AGC control loop of operation in the AGC mode 2.

[0101] As shown in drawing 13 (a), at the time of the AGC mode 1, in time of day t1-t2, gain control of the variable gain amplifiers 7a-7f by the gain control section 23 is performed, and gain change (it is difference with a value a value and last time this time) is measured for the gain variation detecting element 9 in time of day t2-t3.

[0102] When the detected gain variation is over the threshold, in the period of time of day t3-t4, a high-pass filters [12a-12d] cut off frequency (fc) is switched to a high frequency by the filter control section 11, and the cut off frequency of a high-pass filter returns to the original low frequency at the time of day t4 when possibility that big DC offset would occur became low.

[0103] The period of time of day t3-t4 stops measurement of received power, and the received-power test section 16 starts measurement of received mean power from time of day t4.

Measurement of received power is performed till time of day t5, and the gain value which should be set as a variable gain amplifier is computed by the gain calculation section 22 in time of day t5-t6 based on the surveyed received power. And same control is performed after time of day t6.

[0104] In the case of the AGC mode 2, as shown in drawing 13 (b), gain control is performed in time of day t1-t2, gain change is detected in time of day t2-t3, power measurement is performed in time of day t3-t6, and a gain value is computed in time of day t8-t9. Henceforth, the same control is made.

[0105] The main procedures of AGC control action (a switch in AGC mode and switch actuation of the cut off frequency of a high-pass filter are included) are shown in drawing 14 . The direct conversion receiver is premised on performing intermittent reception (voice in which the call from a base station is checked intermittently and the other period turns off the power source of a circuit reception [like]) for power consumption reduction in the flow of drawing 14 .

[0106] First, if a power source is switched on, or it becomes the starting timing of intermittent reception and a receive section turns on (step 100), the judgment section 18 will judge whether it is immediately after powering on, it is at the intermittent reception starting time, or it is at the different frequency measurement starting time by comp rest mode (step 101).

[0107] Here, immediately after powering on, in being at the intermittent reception starting or different frequency measurement starting time by comp rest mode, since possibility that DC offset will increase with a gain switch is high, it is not completed by the gain of a variable gain amplifier, but it shifts to the AGC mode 1 (step 102), and in being other, it shifts to the receive mode 2 (step 109).

[0108] In the AGC mode 1, after clearing to zero the parameter n for recording the count which turned the loop formation (step 103), power measurement (when required, it is concurrent with this and is a switch of the cut off frequency of a high-pass filter by control of the gain variation detecting element 9 and the filter control section 11) is performed (step 104).

[0109] And when gain calculation (step 105) and gain control (step 106) are performed and the loop formation is not turning 10 times, until just before it continues AGC control (step 107,108) and a receive section is un-operating, (step 116) and the same control are repeated.

[0110] On the other hand, power measurement is performed at the time of the AGC mode 2 (step 110), and it performs gain calculation (step 111), gain control (step 112), and a data judging (step 113).

[0111] And since it is necessary to redo a gain setup of a variable gain amplifier from the beginning, return will be repeated in the AGC mode 2, and if it detects step-out [m times of] at

step 114, if it becomes, until just before [when a receive section is un-operating] step-out is not detected, on the other hand, (step 115) and the same control will be repeated.

[0112] thus, in the direct conversion receiver (receiver of a W-CDMA method with built-in AGC) of the gestalt of this operation While the cure of shortening the time constant of a high-pass filter and absorbing a transient response at a high speed to the trouble that DC offset increases with a gain switch of the variable gain amplifier by AGC control is taken automatically The mode accompanied by a switch of the cut off frequency (cut-off frequency) of such a high-pass filter (AGC mode 1), By dividing into the mode at the time of the stable actuation (AGC mode 2), and controlling actuation of each part which constitutes an AGC control loop the optimal, there is also no fear of destabilizing AGC and a very good negative feedback control is realized.

[0113] The configuration of a modification is shown in drawing 15 . Although the configuration of the direct conversion receiver of drawing 15 is almost the same as the configuration of drawing 1 , the configurations for making the power source of the baseband adjustable gain amplifying circuit 6 turn on / turn off differ.

[0114] In the case of drawing 1 , the circuit power control section 24 built in the baseband adjustable gain amplifying circuit 6 is based on 21d of timing control signals from the timing control section 20, and turns on / turns off the circuit power source.

[0115] On the other hand, he forms the power control section 50 for adjustable amplifier outside, and is trying to control supply of supply voltage from here in drawing 15 . The circuit (power-source input section) 51 for inputting the supply voltage supplied from the outside is established in the baseband adjustable gain amplifying circuit 6 of drawing 15 .

[0116] (Gestalt 2 of operation) Drawing 16 is the block diagram showing the configuration of the direct conversion receiver (receiver of a W-CDMA method with built-in AGC) concerning the gestalt 2 of operation of this invention.

[0117] It supposes the main configurations of the receiver concerning the gestalt of this operation that switch control of the time constant of a high-pass filter is perform based on timing control signal 21e from the AGC mode signal 19 output from the judgment section 18 , and the timing control section 20 in the case of the gestalt of this operation although it is almost the same as the gestalt 1 (drawing 1) of implementation shown above , and the description is in the point of having remove the gain variation detecting element 9 of drawing 1 .

[0118] As mentioned above, it is a time of not being completed at all by AGC, but it turning a loop formation to a high speed, and making a propagation environment carry out high-speed flattery of the gain of a variable gain amplifier like [just behind powering on] that a switch of the cut off frequency of a high-pass filter is needed.

[0119] Actuation of each part of the AGC loop formation in such a case is controlled by the judgment section 18 and the timing control section 20 in generalization. Therefore, it is possible to also control the switch timing of a high-pass filter by control signal 21e outputted from the AGC mode signal 19 and the timing control section 20 which are outputted from the judgment section 18.

[0120] From such a viewpoint, control signal 21e outputted from the AGC mode signal 19 and the timing control section 20 which are outputted to the filter control section 11 from the judgment section 18 is given by drawing 16 .

[0121] The gain variation detecting element 9 prepared in drawing 1 becomes unnecessary by this, and simplification of a circuit can be attained.

[0122] However, to adopt the configuration of drawing 16 , it is necessary to arrange the delay in the signal line which transmits the AGC mode signal 19 outputted from the judgment section 18 to the filter control section 11, and the delay in the signal line which transmits control signal 21e outputted from the timing control section 20 with a sufficient precision.

[0123] Drawing 17 is the block diagram showing the configuration of a modification.

[0124] Although the configuration of the direct conversion receiver of drawing 17 is almost the same as the configuration of drawing 16 , the configurations for making the power source of the baseband adjustable gain amplifying circuit 6 turn on / turn off differ.

[0125] In the case of drawing 16 , the circuit power control section 24 built in the baseband adjustable gain amplifying circuit 6 is based on 21d of timing control signals from the timing

control section 20, and turns on / turns off the circuit power source.

[0126] On the other hand, he forms the power control section 50 for adjustable amplifier outside, and is trying to control supply of supply voltage from here in drawing 17. The circuit (power-source input section) 51 for inputting the supply voltage supplied from the outside is established in the baseband adjustable gain amplifying circuit 6 of drawing 17.

[0127] (Gestalt 3 of operation) Various things can be considered as the implementation approach in the case of switching the cut off frequency of the high-pass filter which is the description of this invention in an actual circuit. The gestalt of this operation explains the variation of the configuration for the cut-off-frequency switch which is not indicated with the gestalt of above-mentioned operation.

[0128] The direct conversion receiver of drawing 18 shows the example which performs gain control of a variable gain amplifier not with an analog-control signal but with digital data (serial data).

[0129] A gain control signal (serial data) is outputted from the gain control section 23. This serial data has width of face of 16 bits, 10 bits of them are used as gain data, and the remaining 6 bits enable it to use them for various control freely.

[0130] And in making the cut off frequency of a high-pass filter switch, it sets control data to "1", and conversely, when control data is "0", a switch of a cut off frequency will not be performed.

[0131] Thus, when digital data performs a gain adjustment, it is easy to transmit the data in which the existence of a switch of the cut off frequency of a high-pass filter is shown.

[0132] However, in the baseband adjustable gain amplifying circuit 6, it is necessary to form a D/A converter as an interface. In the case of the gain adjustment by the analog-control signal, moreover, by the switch in the AGC mode 1 from the AGC mode 2 Although the cut off frequency of a high-pass filter can be raised and actuation of returning a cut off frequency can be made to perform automatically again by the switch in the AGC mode 1 from the AGC mode 2 Once raising the cut off frequency of a high-pass filter in the case of the gain adjustment by digital data, in order to return it, digital data is inputted and directed or it is necessary to perform time control by the timer again.

[0133] While forming D/A converter 501 in the baseband adjustable gain amplifying circuit 6, after forming a timer 502 and switching the cut off frequency of a high-pass filter, he enables it to detect that predetermined time passed, and is trying for the filter control section 11 to return a cut off frequency to the timing of the predetermined time progress at drawing 18.

[0134] He is trying for the filter control section 11 to switch the cut off frequency of a high-pass filter in drawing 19 at slight height by making ON of the power source of the baseband adjustable gain amplifying circuit 6 into a trigger in the case of the gain adjustment by the analog-control signal.

[0135] That is, it can be grasped by carrying out watching of the actuation of the part which controls a circuit power source as above-mentioned that there is a condition immediately after powering on and the circuit power-source ON at the time of intermittent reception, and it is in such a condition as one in the condition that increase of DC offset poses a problem.

[0136] So, at drawing 19, the filter control section 11 switches the cut off frequency of a high-pass filter more highly to the timing to which supply voltage is supplied from the power-source input section 51. Then, progress of predetermined time is checked with a timer 502, and a cut off frequency is returned to the timing after predetermined time progress.

[0137] Since it is not necessary to carry out watching of the amount of gain fluctuation like drawing 1 and the time constant of a high-pass filter can be switched only paying attention to ON of a power source in the configuration of drawing 19, circuitry can be simplified.

[0138] Moreover, at drawing 20, a switch of the cut off frequency of a high-pass filter is directed by controlling the frequency of the output signal of this PLL circuit from the exterior on the assumption that the baseband adjustable gain amplifying circuit 6 builds in the PLL circuit (frequency synthesizer using PLL).

[0139] A PLL frequency synthesizer (PLL circuit) is a circuit which takes out the oscillation output of a desired frequency by inserting a variable divider in the loop formation of PLL, and

changing the division ratio set as this counting-down circuit.

[0140] In drawing 20, the baseband adjustable gain amplifying circuit 6 is equipped with such a PLL circuit 703. And serial control data is outputted from the synthesizer control section 701, and serial interface 702 decodes this serial control data, and it is made to give the filter control section 11 as a control signal which changes a change and cut off frequency of the oscillation frequency of the PLL circuit 703 (since big electric-field level variation is expected, a cut off frequency is changed to coincidence by the change of an oscillation frequency, i.e., a different cycle check).

[0141] Thus, the cut off frequency of a high-pass filter can be efficiently switched by using the existing circuit with which the baseband adjustable gain amplifying circuit 6 is equipped. In addition, control which returns a cut off frequency is performed as well as the case of drawing 18 and drawing 19 using a timer 502.

[0142] As explained above, in the AGC circuit in the direct conversion receiver of this invention, and the CDMA receiver which carried this Securing making it carry out to stability at high speed [fit AGC actuation indispensable for amplitude stabilization of an input signal to an environment, and] The problem of DC offset (increase of DC shift by the accumulation of a transient response wave of a high-pass filter) which originates in the AGC actuation and is generated It can prevent certainly using the new technique of only very short time amount making the time constant of a high-pass filter small, and completing a transitional oscillatory wave form quickly.

[0143] That is, the always optimal receive state is realized by switching the cut off frequency (fc) of a high-pass filter.

[0144] That is, like before, by the case (condition that the cut off frequency of a high-pass filter is low) where the property of a high-pass filter is being fixed, when gain change of adjustable gain amplifier is large, the gap from timing (sampling point) with ideal recovery timing will become large, recovery precision (bit error rate) will fall, and a big power measurement error will occur, and it will lapse into a non-receipt condition substantially according to generating of DC offset.

[0145] On the other hand, if the cut off frequency of a high-pass filter is made high (i.e., if it brings close to the frequency of a modulating-signal (input signal) component), change of the amplitude and phase of a modulating signal (input signal) will become large, and recovery precision will be reduced. Since there is this problem, if the cut off frequency of a high-pass filter is good and setting up lowness sets it in this way, a good receive state can be realized under the conditions that fluctuation of DC offset does not occur.

[0146] Therefore, by this invention, the cut off frequency of a high-pass filter is dynamically switched to the optimal timing to enable it to enjoy the advantage in the case of these both.

[0147] The advantage of the both sides of the high-pass filter (condition that a cut off frequency is high) which is excellent in a transient characteristic, and the high-pass filter (condition that a cut off frequency is low) which is excellent in the static characteristic can be incorporated by this, and a good receive state will thereby always be realized.

[0148] Moreover, optimal control (free switch of fast mode or a slow mode etc.) can be performed, without worrying about the fall of receiving precision about indispensable AGC in a CDMA receiver.

[0149] It becomes possible to carry actually a direct conversion receiver with the property of it being compact and excelling in low-power nature by this in the receiver of a CDMA method (a W-CDMA method and the method based on IS95 are included), and, thereby, miniaturization of a receiver and low-power-ization are realized.

[0150]

[Effect of the Invention] As explained above, it originates in AGC actuation, and in the period which may increase exceeding an allowed value, direct-current part offset of the internal circuitry of a direct conversion receiver switches dynamically the cut off frequency (time constant) of a high-pass filter, and controls it by this invention, and accumulation (addition) of an in one direction flowed shift is prevented. It becomes possible to feel easy about the communication equipment (receiver of a W-CDMA method etc.) which contains an AGC circuit, and to carry a direct conversion receiver by this.

[0151] Moreover, the AGC circuit in the direct conversion receiver of this invention Since cure

circuit (that is, circuit which detects duration of risk and switches time constant of high-pass filter) ** to the problem that originate in the AGC actuation itself and DC offset increases is built in. If the gain of an AGC loop formation is raised to a receive state like the conventional example in order to carry out high-speed flattery, self-conflict that the situation of delaying convergence of AGC occurs on the contrary cannot arise, therefore an environment can be followed, and AGC control can be performed free.

[0152] Moreover, although the AGC circuit needs to operate to stability, each part which constitutes a negative-feedback-control loop formation taking a synchronization cooperatively mutually, by the AGC circuit of this invention, it forms two or more AGC modes in consideration of the existence of a switch of the cut off frequency of a high-pass filter, and it considers them for every mode so that each part may carry out optimal actuation. Namely, since not high-pass filter ***** in a variable gain amplifier but a test section, the calculation sections, gain control sections, and all the power control sections in adjustable amplifier are controlled appropriately respectively, no matter an AGC circuit may be in what condition, always operating to stability is secured.

[0153] It becomes possible to actually use the direct conversion receiver which was hard to put in practical use although there was a problem of DC offset therefore as a CDMA receiver, having the property which was excellent by using this invention. This becomes possible to attain the further miniaturization and the further low-power-izing (reinforcement of a cell) of a CDMA receiver.

[Translation done.]

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The block diagram showing the configuration of the direct conversion receiver (CDMA receiver which contained the AGC circuit) concerning the gestalt 1 of operation of this invention

[Drawing 2] Drawing showing the relation between the control value (analog-control electrical potential difference) in the variable gain amplifier in a baseband adjustable gain amplifying circuit, and the gain set up

[Drawing 3] Drawing showing the relation between the control value (setting data) in the variable gain amplifier in a baseband adjustable gain amplifying circuit, and the gain set up

[Drawing 4] Drawing showing the relation of the cut off frequency of a high-pass filter and recovery precision (error property) in the direct conversion receiver of drawing 1

[Drawing 5] The wave form chart showing signs that it is completed by the transient response wave at the time of changing the cut off frequency of a high-pass filter to a three-stage

[Drawing 6] Drawing having shown signs that DC offset increased in proportion to fluctuation (level variation) of the gain by AGC control in the direct conversion receiver of drawing 1 when the gain set as a variable gain amplifier changes

[Drawing 7] Drawing showing the relation between the amount of DC offset, and the bit error rate (BER) of a recovery signal

[Drawing 8] Drawing showing the relation between the amount of DC offset, and mean power measured value

[Drawing 9] Drawing having shown signs that the lap of transient response waves did not produce it when the cut off frequency of a high-pass filter is switched to a quantity side rather than usual

[Drawing 10] Drawing in which the lap of transient response waves having arisen and having shown big signs that DC offset generating was carried out when the cut off frequency of a high-pass filter was fixed as usual

[Drawing 11] (a) The timing chart showing the timing which measures received mean power in the direct conversion receiver of timing chart (b) drawing 1 in which the timing which measures received mean power is shown in the direct conversion receiver of drawing 1 when the AGC mode 1 (high-speed flattery mode: mode accompanied by a switch of the cut-off frequency of a high-pass filter) is adopted when the AGC mode 2 (low-speed flattery mode: mode without a switch of the cut-off frequency of a high-pass filter) is adopted

[Drawing 12] (a) In the direct conversion receiver of drawing 1, when the AGC mode 1 (high-speed flattery mode: mode accompanied by a switch of the cut-off frequency of a high-pass filter) is adopted, it can set. In the direct conversion receiver of drawing (b) drawing 1 in which the gain variation per updating and the example of an updating period are shown Drawing showing the gain variation per updating and the example of an updating period in case the AGC mode 2 (low-speed ***** mode: mode without a switch of the cut-off frequency of a high-pass filter) is adopted

[Drawing 13] (a) The timing chart showing the timing of each part which constitutes an AGC loop formation in case the AGC mode 2 (low-speed flattery mode: mode without a switch of the cut-

off frequency of a high-pass filter) is adopted in the direct conversion receiver of timing chart (b) drawing 1 in which the timing of each part which constitutes an AGC loop formation in case the AGC mode 1 (high-speed flattery mode: mode accompanied by a switch of the cut-off frequency of a high-pass filter) is adopted in the direct conversion receiver of drawing 1 of operation is shown of operation

[Drawing 14] The flow Fig. showing the main operations sequence of the AGC circuit (AGC circuit carried in the direct conversion receiver of drawing 1) of this invention

[Drawing 15] The main configurations of the direct conversion receiver of drawing 1 are the block diagrams showing the configuration of the modification which left as it was and changed only the power control method of a baseband adjustable gain amplifying circuit.

[Drawing 16] The block diagram showing the configuration of the direct conversion receiver (CDMA receiver which contained the AGC circuit) concerning the gestalt 2 of operation of this invention

[Drawing 17] The main configurations of the direct conversion receiver of drawing 16 are the block diagrams showing the configuration of the modification which left as it was and changed only the power control method of a baseband adjustable gain amplifying circuit.

[Drawing 18] The block diagram showing an example (circuit which performs gain control of a variable gain amplifier with serial data) of the circuitry of the direct conversion receiver concerning the gestalt 3 of operation of this invention

[Drawing 19] The block diagram showing an example (circuit which switches the time constant of a high-pass filter by making power-source ON into a trigger) of the circuitry of the direct conversion receiver concerning the gestalt 3 of operation of this invention

[Drawing 20] The block diagram showing an example (circuit which directs a switch of the time constant of a high-pass filter using a PLL synthesizer) of the circuitry of the direct conversion receiver concerning the gestalt 3 of operation of this invention

[Description of Notations]

1 Low Noise Amplifier (LNA)

2a, 2b Rectangular mixer

3 Local Oscillator

4 Phase Shifter

6 Baseband Adjustable Gain Amplifying Circuit

7a-7f Variable gain amplifier

8a, 8b Low pass filter

9 Gain Variation Detecting Element

11 Filter Control Section

12a-12d High-pass filter

13a, 13b A/D converter

14a, 14b All pass filter

16 Received-Power Test Section

17 Decoder (Back-Diffusion-of-Electrons Circuit is Included)

19 AGC Mode Signal

18 Judgment Section

20 Timing Control Section

21a-21d Timing control signal

24 Circuit Power Control Section

[Translation done.]

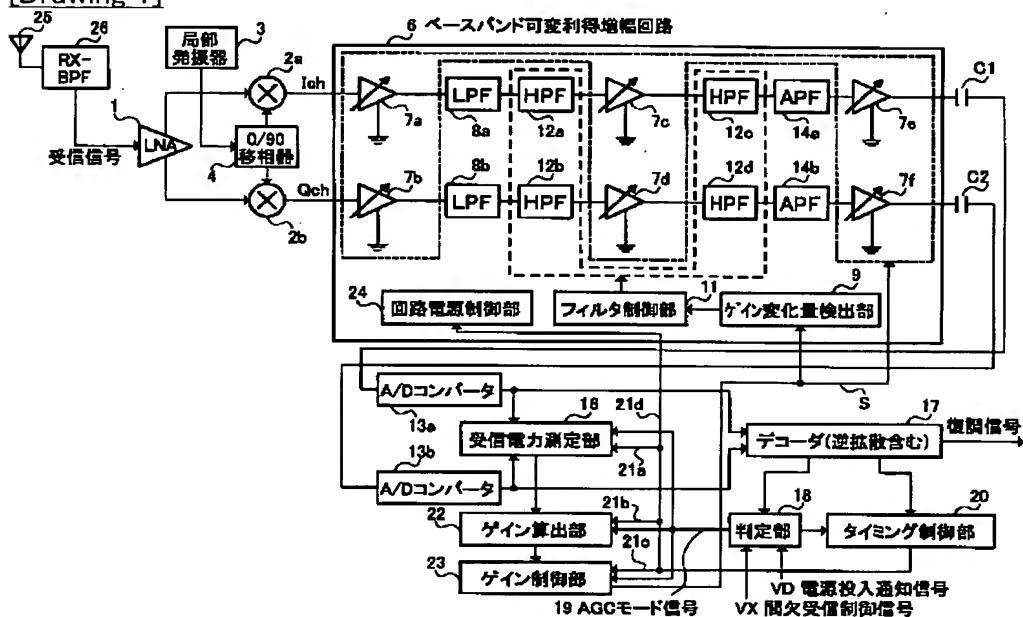
* NOTICES *

JP0 and NCIPI are not responsible for any damages caused by the use of this translation.

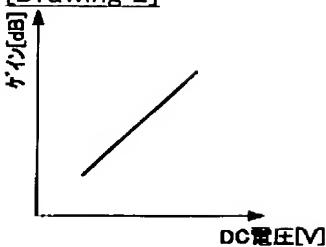
1. This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

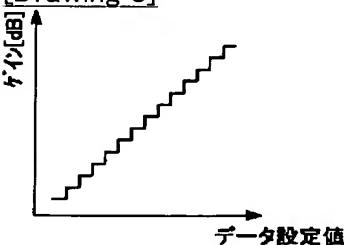
[Drawing 1]



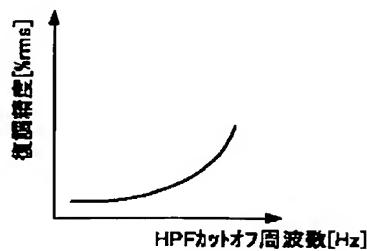
[Drawing 2]



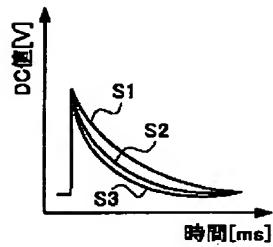
[Drawing 3]



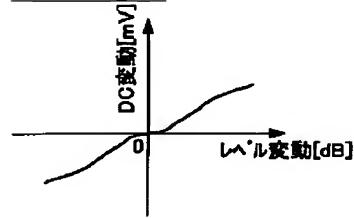
[Drawing 4]



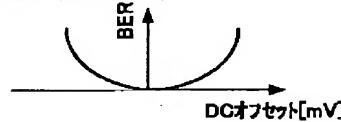
[Drawing 5]



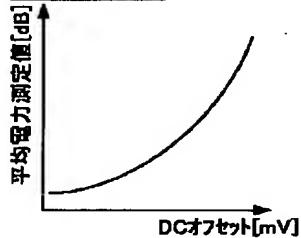
[Drawing 6]



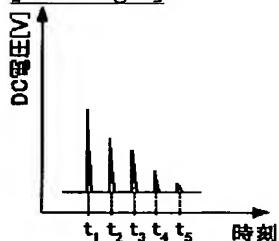
[Drawing 7]



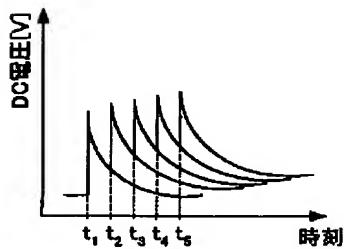
[Drawing 8]



[Drawing 9]



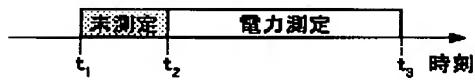
[Drawing 10]



[Drawing 11]

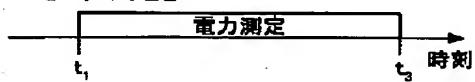
(a)

モード1のとき



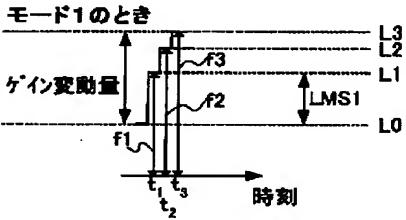
(b)

モード2のとき



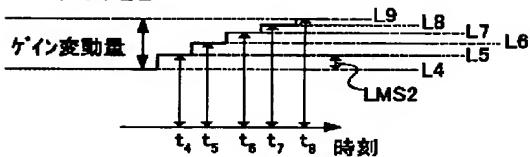
[Drawing 12]

(a)

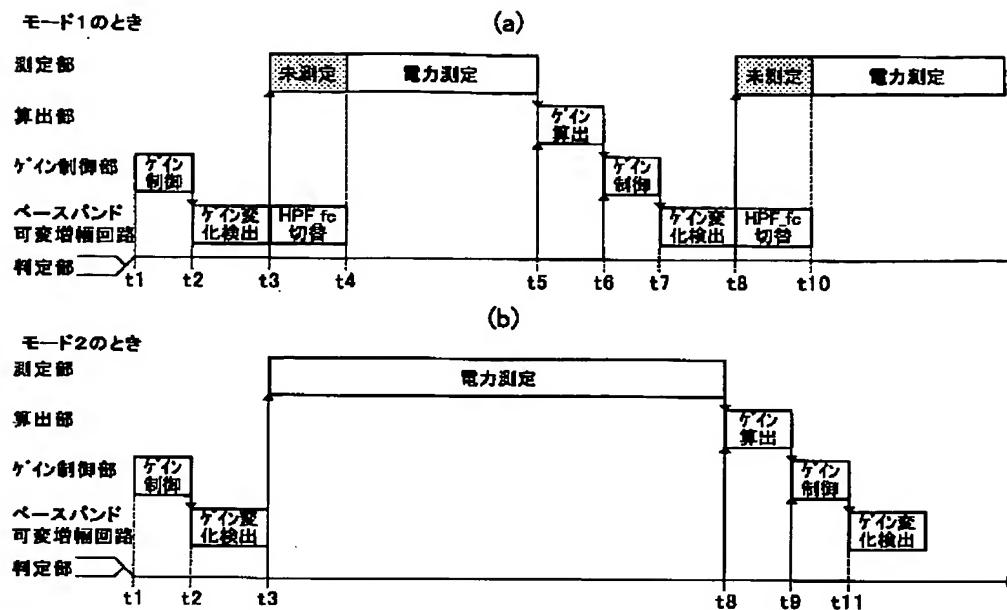


(b)

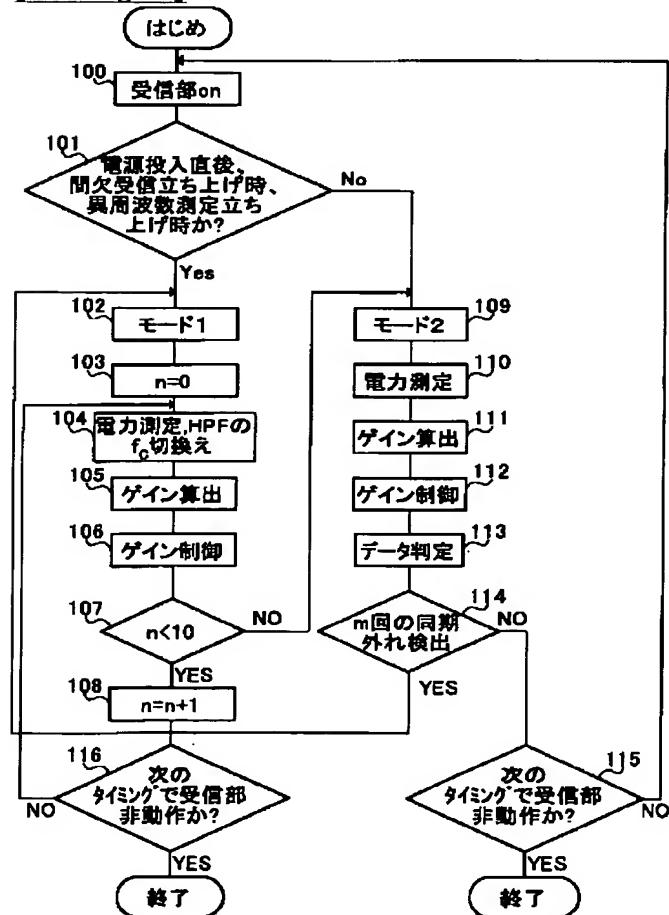
モード2のとき



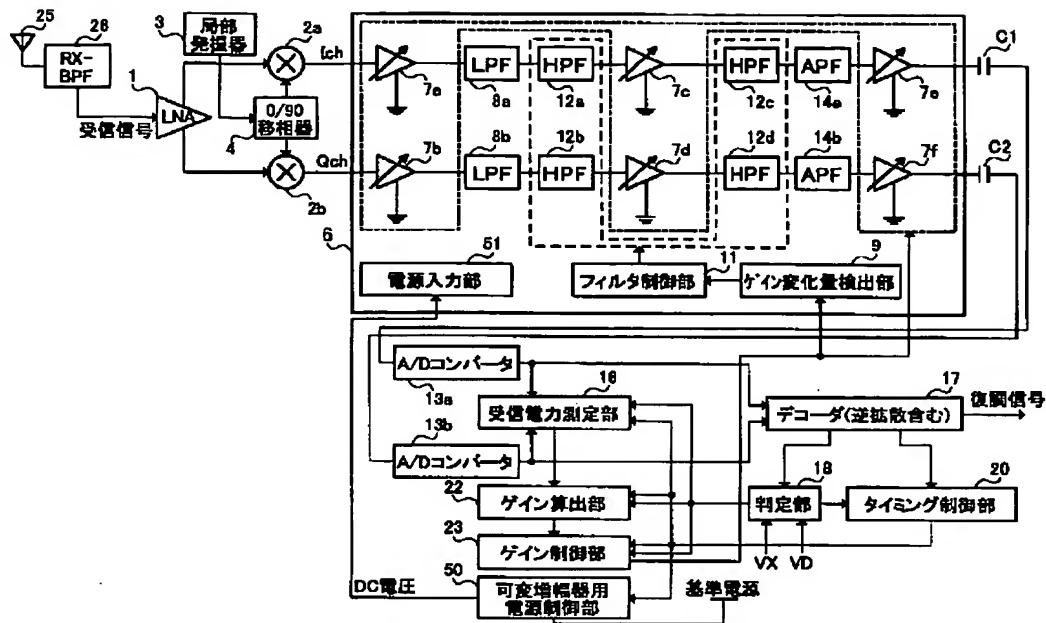
[Drawing 13]



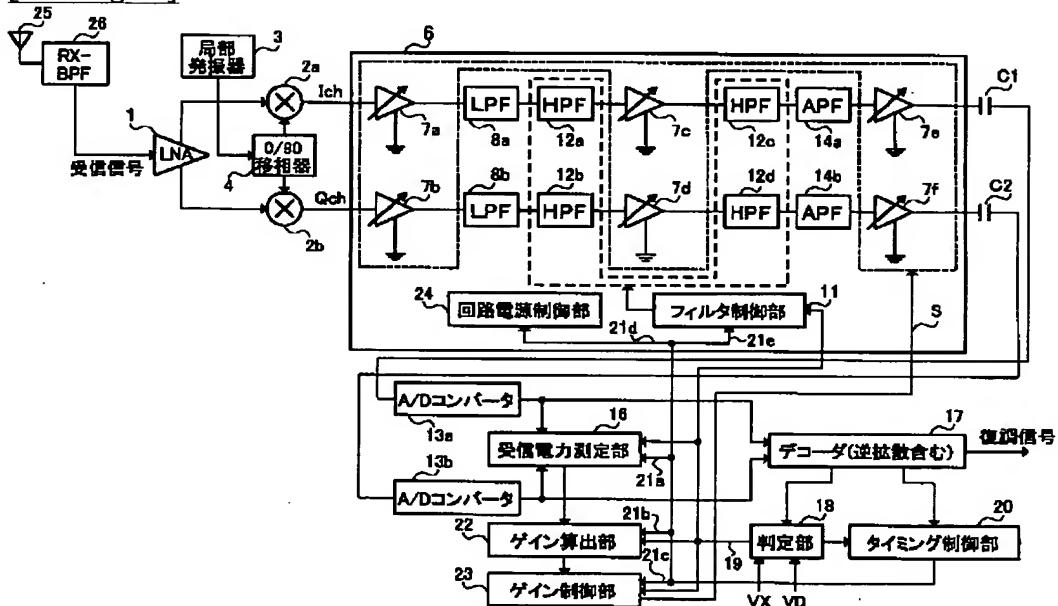
[Drawing 14]



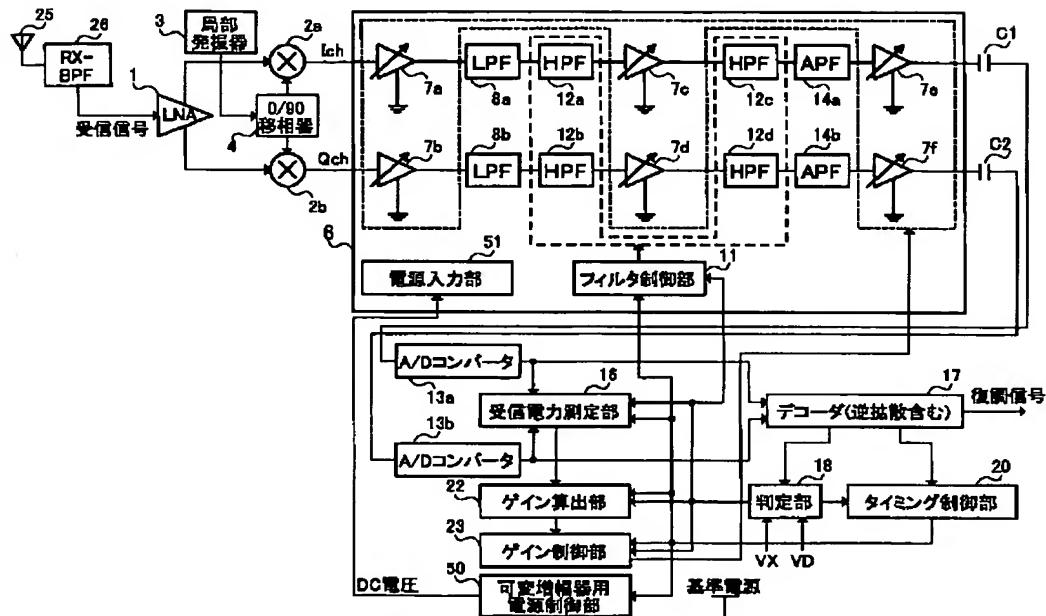
[Drawing 15]



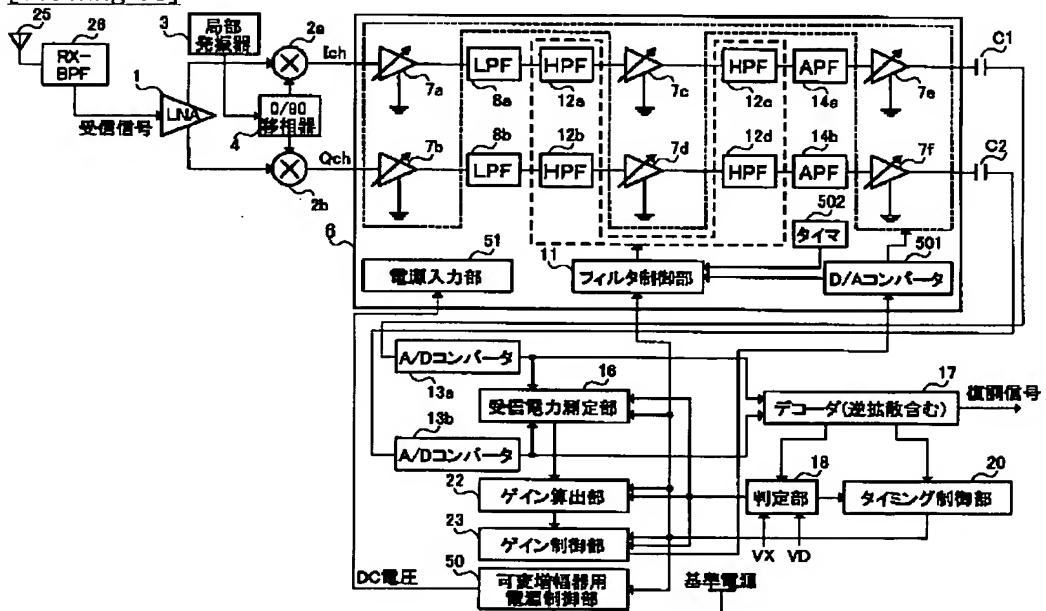
[Drawing 16]



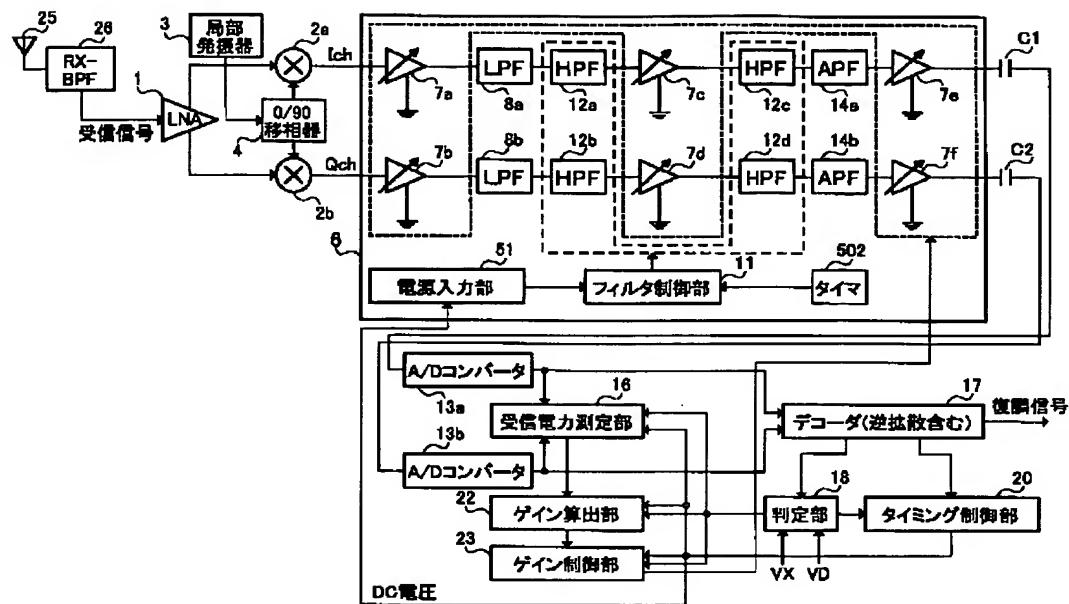
[Drawing 17]



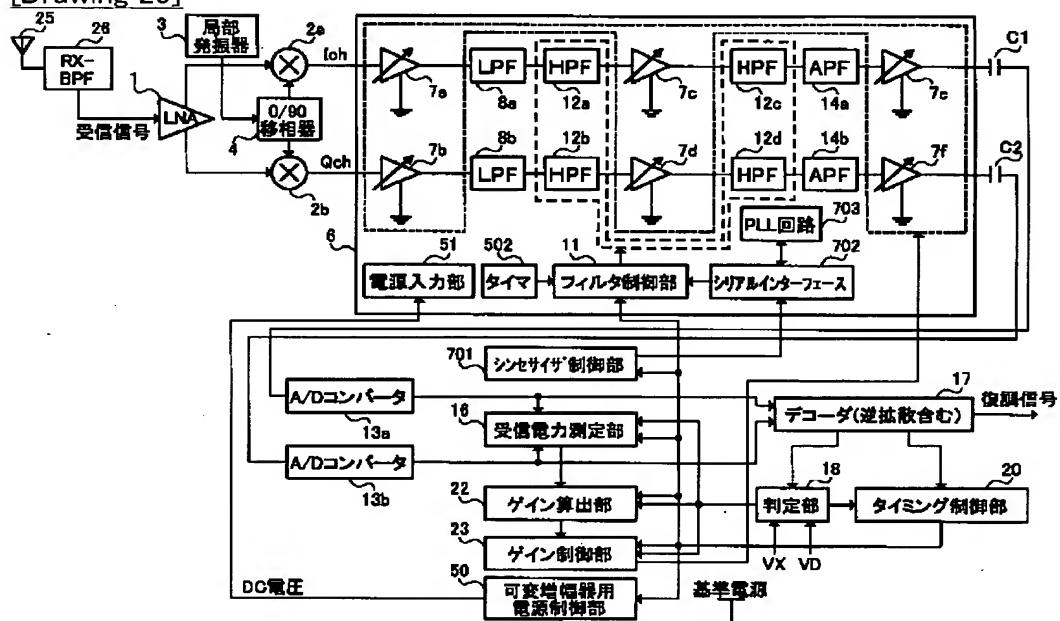
[Drawing 18]



[Drawing 19]



[Drawing 20]



[Translation done.]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2003-224488
(P2003-224488A)

(43)公開日 平成15年8月8日 (2003.8.8)

(51)Int.Cl.⁷
H 04 B 1/30
1/16
1/707

識別記号

F I
H 04 B 1/30
1/16
H 04 J 13/00

テ-マ-ト⁸ (参考)
5 K 0 2 2
R 5 K 0 6 1
D

審査請求 有 請求項の数15 OL (全 19 頁)

(21)出願番号 特願2002-20251(P2002-20251)

(22)出願日 平成14年1月29日 (2002.1.29)

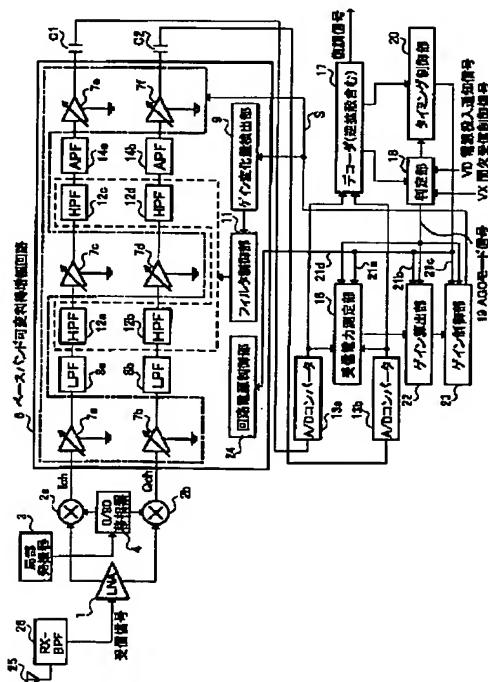
(71)出願人 000005821
松下電器産業株式会社
大阪府門真市大字門真1006番地
(72)発明者 松本 英徳
神奈川県横浜市港北区綱島東四丁目3番1号
松下通信工業株式会社内
(72)発明者 小原 敏男
神奈川県横浜市港北区綱島東四丁目3番1号
松下通信工業株式会社内
(74)代理人 100105050
弁理士 慶田 公一
F ターム(参考) 5K022 EE01 EE31
5K061 AA10 BB12 CC52 CD08 JJ24

(54)【発明の名称】 ダイレクトコンバージョン受信機

(57)【要約】

【課題】 ダイレクトコンバージョン受信機をCDMA受信機に使用することにより、さらなる小型化や低消費電力化を達成すること。

【解決手段】 ダイレクトコンバージョン受信機の内部回路の直流成分オフセットが、AGC動作に起因して、許容値を超えて増大する可能性がある期間を判定部18およびゲイン変化量検出部9で検出し、この期間、ハイパスフィルタ12a～12dのカットオフ周波数を通常動作時よりも高くして、当該フィルタを通過した信号の過渡応答を急速に収束させ、また、同時にAGCループを構成する受信電力測定部16、ゲイン算出部22、ゲイン制御部23、および回路電源制御部24の動作タイミングをきめ細かく制御することにより、DCオフセットの増大を防止しつつ、安定した回路動作を保障する。



【特許請求の範囲】

【請求項1】 ダイレクトコンバージョン受信機において発生するDCオフセットを低減する方法であって、DCオフセットが増大する可能性の高い期間を検出し、その期間において、信号経路に介在するDC成分阻止用のフィルタの時定数を通常動作時よりも小さくして、前記フィルタを通過した信号の過渡応答を急速に収束させることを特徴とするDCオフセット低減方法。

【請求項2】 DCオフセットが増大する可能性の高い期間であることの検出は、AGC制御ループの構成要素である可変利得増幅器に設定されるゲイン値の変化量が所定量を超えたこと、あるいは、現在のダイレクトコンバージョン受信機が、電源投入直後の期間、間欠受信における受信機の立ち上げ直後の期間、または異周波数測定の開始直後の期間のいずれかにすること、に基づいて行われることを特徴とする請求項1記載のDCオフセット低減方法。

【請求項3】 受信した高周波信号に、この高周波信号と実質的に同一の周波数のローカル信号を乗算して直接、ベースバンド信号に変換し、そのベースバンド信号を、可変利得増幅器、ローパスフィルタ、およびDC成分カット用の遮断周波数可変のハイパスフィルタを構成要素に含むベースバンド可変利得増幅回路により増幅した後、A/D変換ならびに復調処理を行うダイレクトコンバージョン受信機におけるAGC回路であって、AGC制御ループの構成要素である可変利得増幅器に設定されるゲイン値の変化量が所定量を超えたとき、あるいは、現在のダイレクトコンバージョン受信機が、電源投入直後の期間、間欠受信における受信機の立ち上げ直後の期間、異周波数測定の開始直後の期間のいずれかにあるときに、前記ハイパスフィルタの遮断周波数を、通常動作における周波数より高い周波数に切り換えて前記ハイパスフィルタの時定数を小さくし、前記DC変動を高速に収束させるフィルタ制御部、を有することを特徴とするダイレクトコンバージョン受信機におけるAGC回路。

【請求項4】 受信した高周波信号に、この高周波信号と実質的に同一の周波数のローカル信号を乗算して直接、ベースバンド信号に変換し、そのベースバンド信号を、可変利得増幅器、ローパスフィルタおよびDC成分カット用のハイパスフィルタを構成要素に含むベースバンド可変利得増幅回路により増幅した後、A/D変換ならびに復調処理を行う、ダイレクトコンバージョン受信機におけるAGC回路であって、A/D変換後の信号に基づいて受信電力を測定する電力測定部と、測定された受信電力と収束目標値との差の情報から、前記可変利得増幅器のゲインを算出するゲイン算出器と、算出されたゲインに基づき、前記可変利得増幅器のゲインを制御するゲイン制御部と、

前記ハイパスフィルタの遮断周波数を、少なくとも、高低2段階に切り換える機能をもつフィルタ制御部と、前記ゲイン制御部による制御の結果、前記可変利得増幅器のゲインが、所定量を超えて変化することを検出すると、前記フィルタ制御部に通知するゲイン変化量検出部と、を有し、前記フィルタ制御部は、前記ゲイン変化量検出部からの通知を受けると、前記ハイパスフィルタの遮断周波数を、高側に切り換えることを特徴とするダイレクトコンバージョン受信機におけるAGC回路。

【請求項5】 前記ハイパスフィルタの遮断周波数が高側に切り換えられている期間では、前記ゲイン算出器および前記ゲイン制御部は、1回の更新当たりのゲインの変化幅を大きくするか、あるいは、前記更新の周期を短くするかの少なくとも一つを行うことを特徴とする、請求項4記載のダイレクトコンバージョン受信機におけるAGC回路。

【請求項6】 前記フィルタ制御部は、前記ハイパスフィルタの遮断周波数を高側に切り換えた後、再び低側に戻し、

また、前記電力測定部は、所定期間における平均受信電力を測定するに際し、前記所定期間内の、前記ハイパスフィルタの遮断周波数が高側に切り換えられている区間については、受信電力の測定を行わないことを特徴とする、請求項4または請求項5記載のダイレクトコンバージョン受信機におけるAGC回路。

【請求項7】 受信した高周波信号に、この高周波信号と実質的に同一の周波数のローカル信号を乗算して直接、ベースバンド信号に変換し、そのベースバンド信号を、可変利得増幅器、ローパスフィルタおよびDC成分カット用のハイパスフィルタを構成要素に含むベースバンド可変利得増幅回路により増幅した後、A/D変換ならびに復調処理を行う、ダイレクトコンバージョン受信機におけるAGC回路であって、A/D変換後の信号に基づいて受信電力を測定する電力測定部と、

測定された受信電力と収束目標値との差の情報から、前記可変利得増幅器のゲインを算出するゲイン算出器と、算出されたゲインに基づき、前記可変利得増幅器のゲインを制御するゲイン制御部と、

前記ハイパスフィルタの遮断周波数を、少なくとも、高低2段階に切り換える機能をもつフィルタ制御部と、前記ハイパスフィルタを通過した信号のDCオフセットが増大する可能性が高い状態であるか否かを、前記復調処理後の信号に含まれる情報に基づいて、あるいは、前記ダイレクトコンバージョン受信機自体の動作状態に基づいて判定し、その判定結果を前記フィルタ制御部に通知する判定部と、を有し、

前記判定部からの通知を受けると、前記フィルタ制御部は、前記ハイパスフィルタの遮断周波数を、高側に切り

換えることを特徴とする、ダイレクトコンバージョン受信機におけるAGC回路。

【請求項8】 前記ハイパスフィルタの遮断周波数が高側に切り換えられている期間では、前記ゲイン算出器および前記ゲイン制御部は、1回の更新当たりのゲインの変化幅を大きくするか、あるいは、前記更新の周期を短くするかの少なくとも一つを行って、通常の動作時よりも高速なAGC制御を実現することを特徴とする、請求項7記載のダイレクトコンバージョン受信機におけるAGC回路。

【請求項9】 前記フィルタ制御部は、前記ハイパスフィルタの遮断周波数を高側に切り換えた後、再び低側に戻し、

また、前記電力測定部は、所定期間における平均受信電力を測定するに際し、前記所定期間内の、前記ハイパスフィルタの遮断周波数が高側に切り換えられている区間については、受信電力の測定を行わないことを特徴とする、請求項7または請求項8記載のダイレクトコンバージョン受信機におけるAGC回路。

【請求項10】 請求項3から請求項9のいずれかに記載のダイレクトコンバージョン受信機におけるAGC回路を搭載したCDMA受信機。

【請求項11】 ダイレクトコンバージョン受信機に搭載される、ベースバンド信号を増幅するためのベースバンド可変利得増幅回路であって、前記ベースバンド信号を増幅するための可変利得増幅器と、

ベースバンド信号の信号経路に介在する直流阻止用の、遮断周波数を少なくとも高低2段階に変化させることができるハイパスフィルタと、

前記可変利得増幅器に設定されるゲインの変化量が、所定のしきい値を超えていることを検出するゲイン変化量検出部と、このゲイン変化量検出部により、ゲインの変化量が前記所定のしきい値を超えていることが検出された場合に、前記ハイパスフィルタの遮断周波数を、高側に切り換えるフィルタ制御部と、

を有することを特徴とするベースバンド可変利得増幅回路。

【請求項12】 ダイレクトコンバージョン受信機に搭載される、ベースバンド信号を増幅するためのベースバンド可変利得増幅回路であって、前記ベースバンド信号を増幅するための可変利得増幅器と、

ベースバンド信号の信号経路に介在する直流阻止用の、遮断周波数を少なくとも高低2段階に変化させることができるハイパスフィルタと、

外部から供給される、前記ダイレクトコンバージョン受信機のAGCモード信号およびタイミング制御信号に基づいて、前記ハイパスフィルタの遮断周波数を切り換え

10 るフィルタ制御部と、
を有することを特徴とするベースバンド可変利得増幅回路。

【請求項13】 ダイレクトコンバージョン受信機に搭載される、ベースバンド信号を増幅するためのベースバンド可変利得増幅回路であって、前記ベースバンド信号を増幅するための可変利得増幅器と、

ベースバンド信号の信号経路に介在する直流阻止用の、遮断周波数を少なくとも高低2段階に変化させることができるハイパスフィルタと、

前記可変利得増幅器に設定するゲインデータ、ならびに前記ハイパスフィルタの遮断周波数の切り換え指示データを含むデジタルデータを、アナログ信号に変換するD/Aコンバータと、

このD/Aコンバータの変換出力に含まれる、前記遮断周波数の切り換え指示データに対応する信号に基づき、前記ハイパスフィルタの遮断周波数を切り換えるフィルタ制御部と、

20 を有することを特徴とするベースバンド可変利得増幅回路。

【請求項14】 ダイレクトコンバージョン受信機に搭載される、ベースバンド信号を増幅するためのベースバンド可変利得増幅回路であって、前記ベースバンド信号を増幅するための可変利得増幅器と、

ベースバンド信号の信号経路に介在する直流阻止用の、遮断周波数を少なくとも高低2段階に変化させることができるハイパスフィルタと、

30 P L Lシンセサイザ回路と、

このPLLシンセサイザ回路の発振周波数を指定する指定データを含むデジタル制御信号を受信すると共に、前記指定データにより指定された通りに前記PLLシンセサイザ回路から出力される発振出力を、前記ハイパスフィルタの遮断周波数を切り換えるための制御信号として出力するインタフェース回路と、

前記インタフェース回路から出力される前記制御信号に基づき、前記ハイパスフィルタの遮断周波数を切り換えるフィルタ制御部と、

40 を有することを特徴とするベースバンド可変利得増幅回路。

【請求項15】 ダイレクトコンバージョン受信機に搭載される、ベースバンド信号を増幅するためのベースバンド可変利得増幅回路であって、前記ベースバンド信号を増幅するための可変利得増幅器と、

ベースバンド信号の信号経路に介在する直流阻止用の、遮断周波数を少なくとも高低2段階に変化させることができるハイパスフィルタと、

50 前記ベースバンド可変利得増幅回路の電源のオン/オフ

を実行する回路と、

この電源のオン／オフを実行する回路によって電源がオフからオンに変化したことをトリガーとして、前記ハイパスフィルタの遮断周波数を切り換えるフィルタ制御部と、

を有することを特徴とするベースバンド可変利得增幅回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、DC (Direct Current) オフセット低減方法、ダイレクトコンバージョン受信機におけるAGC (Auto Gain Control) 回路、CDMA (Code Division Multiple Access) 受信機およびベースバンド可変利得增幅回路に関する。

【0002】

【従来の技術】ダイレクトコンバージョン受信機は、アンテナで受信されたRF信号に、実質的に同一周波数のキャリア (ローカル信号) を乗算し、中間周波数への変換を省いてダイレクトにベースバンド信号に変換する受信機であり、無線受信機の小型化、軽量化および低消費電力化に貢献する。

【0003】ダイレクトコンバージョン受信機については、例えば、特開平10-247953号公報に記載されている。

【0004】但し、ダイレクトコンバージョン受信機は、回路固有の直流オフセット (以下、DCオフセット) が発生するという問題がある。

【0005】このDCオフセットに対する対策としては、上述の特開平10-247953号の図11に記載されるように、信号経路にハイパスフィルタを挿入し、コンデンサにより直流成分を阻止するという方法がある。

【0006】

【発明が解決しようとする課題】本願発明の発明者は、ダイレクトコンバージョン受信機を携帯電話のようなCDMA受信機に搭載することを検討した。

【0007】その結果、CDMA受信機に必須のAGC回路がDCオフセットを発生させる原因となり、かつ、上述のハイパスフィルタを信号経路に挿入する方法では、このAGC回路に起因するDCオフセットの問題を解決できないことが明らかとなった。

【0008】以下、この問題点について説明する。

【0009】CDMA受信機の場合、弱電界、強電界のいずれのエリアにおいても、同一チャネル内の自己の端末の情報と他のユーザとのデータ識別を常に正しく行うため、A/Dコンバータ入力への信号振幅をある範囲内に保つAGC回路を設けることが必須である。

【0010】AGC回路の基本的動作は、受信信号電力を実測し、目標値との比較により制御信号を発生させ、その制御信号により可変利得アンプのゲインを変化させ

10

20

30

40

50

るというもの (負帰還制御動作) である。

【0011】CDMA受信機では、特に、電源投入時、間欠受信 (携帯電話が待ち受け状態となっていて、基地局との同期を間欠的にチェックし、その他の状態では回路電源をオフして低消費電力モードとする受信) 時における回路の立ち上げ直後、あるいは、コンプレストモードによる異周波数セル間のハンドオーバーを行う場合、W-CDMA方式とGSM (Global System for Mobile communications) 方式のように異なる方式の基地局が混在しているアジア地域などで、方式の異なる基地局間でハンドオーバーを行う場合、等において、可変利得アンプの収束係数を、現在の受信状態に適合するように高速に調整する必要があり、この場合には、負帰還ループのゲインを増大させる必要がある。

【0012】すなわち、可変利得アンプのゲインを更新するインターバルを短くすると共に、1回のゲイン更新当たりの制御値の変化幅を大きくすることが必要である。

【0013】このように、頻繁に、かつ大きな変化幅で可変利得アンプのゲインを更新すると、そのゲイン切り換えに伴う電圧変動が、信号経路に介在する上述のハイパスフィルタのコンデンサに伝達され、その結果として、鋭い微分波形が瞬時に出力される。

【0014】この微分波形は、時間経過と共に収束するが、その収束の前に、次の微分波形が outputされると、図10に示すように、微分波形が次々と重なり合って、その結果として、回路の直流電圧が大きくずれてしまう。すなわち、大きなDCオフセットが発生する。

【0015】このような大きなDCオフセットが発生すると、復調信号の精度が低下し、また、正確なAGC制御が困難となる。

【0016】上述したように、ダイレクトコンバージョン受信機においては、直流成分を阻止するためのハイパスフィルタは必要であり、一方、CDMA受信機ではAGC回路は必須であり、そして、ハイパスフィルタは、必然的にAGCループの構成要素でもある。

【0017】そして、例えば、電源投入時等のAGC制御の初期において、AGCの収束係数を大きく (ゲイン変化量を大きく)、高速に外界の伝搬環境に追従させることも必須のことである。このように、収束を早めるためにAGCの追従能力を増大させると、上述のように、可変利得アンプのゲイン切り換えに同期してハイパスフィルタから出力される微分波形の重なりによってDCオフセットが発生し、結局、正確なAGC制御が困難となって、可変利得アンプのゲインを収束させるまでの時間が長くなる、という矛盾した結果となる。

【0018】このように、ダイレクトコンバージョン受信機を、AGC回路を搭載したCDMA方式などの受信機に適用しようとすると、AGC動作に自己矛盾が生じ、したがって、ダイレクトコンバージョン受信機を、

CDMA受信機として現実に使用することは困難である。

【0019】本発明は、本願発明者によって見い出された、このような新規な問題点を克服するためになされたものであり、その目的は、ダイレクトコンバージョン受信機において、AGC制御に起因して発生するDCオフセットを低減すること、ならびに、DCオフセットの発生を問題とすることなく、正確かつ高速なAGC制御を可能とすることにある。

【0020】

【課題を解決するための手段】本発明では、DCオフセットが増大する可能性の高い期間を検出し、その期間において、信号経路に介在するDC成分阻止用のハイパスフィルタの時定数を通常動作時よりも小さくして、ハイパスフィルタを通過した信号の過渡応答（微分波形）を急速に収束させ、これにより、DCオフセットを、回路の実際の動作において無視できる程度に低減する。

【0021】これにより、微分波形の重なりがなくなり、直流分の変動の累積が防止される。よって、大きなDCオフセットが発生しない。

【0022】ハイパスフィルタの時定数を小さくすることは、ハイパスフィルタのカットオフ周波数（遮断周波数）を高めることにより実現される。ただし、ハイパスフィルタのカットオフ周波数をある値より高くすると、つまり変調信号（受信信号）成分の周波数に近づけると、変調信号（受信信号）成分の振幅・位相変化が大きくなり、ベクトルのずれが大きくなつて復調精度が低下するという新たな問題が生じる。

【0023】ここでいう、復調精度とは、E. V. M.（エラー・ベクトル・マグニチュード）のことであり、この復調精度は、歪みをもつ実際の受信信号を復調するタイミングが、理想的な波形の受信信号を復調するタイミング（理想的なサンプリング点）から、どれだけずれているかにより決定される。

【0024】つまり、ハイパスフィルタの時定数を変化させることは、受信信号の波形に今までとは異なる変形を与えることになり、このことが、復調精度を低下させる原因となる。

【0025】そこで、本発明では、大きなDCオフセットが大幅に発生するとき（発生する危険性が高いとき）のみ、ハイパスフィルタのカットオフ周波数を高くし、発生したDCオフセットを速やかに定常状態と同様のレベルに収束させ、これ以外の期間では、ハイパスフィルタのカットオフ周波数を通常通り低くする。

【0026】このように、ハイパスフィルタの時定数の切り換えを、受信状態（受信機の動作状態を含む）に応じて適切に制御することで、受信精度の低下を問題とすることなく、DCオフセットを効果的に抑制し、かつ、高速かつ正確なAGC制御を行うことができる。

【0027】すなわち、本発明のAGC回路では、自己 50

のAGC制御動作に起因してDCオフセットが増大するという本質的な問題に対する対策がなされており、安定した動作が常に保障される。

【0028】

【発明の実施の形態】請求項1に記載の本発明では、DCオフセットが増大する可能性の高い期間において、信号経路に介在するDC成分阻止用のハイパスフィルタの時定数を通常動作時よりも小さくする。これにより、ハイパスフィルタを通過した信号の過渡応答を急速に収束させ、微分波形の重なりをなくすことにより、直流分のシフトが累積されることを防止する。

【0029】請求項2に記載の本発明では、請求項1において、AGC制御ループの構成要素である可変利得増幅器に設定されるゲイン値の変化量が所定量を超えたこと、あるいは、現在のダイレクトコンバージョン受信機が、電源投入直後の期間、間欠受信における受信機の立ち上げ直後の期間、W-CDMAシステムにおける異周波数測定の開始直後の期間のいずれかにあることを検出して、DCオフセットが増大する可能性の高い期間であると判定する。

【0030】請求項3に記載の、本発明のAGC回路は、AGC制御ループの構成要素である可変利得増幅器に設定されるゲイン値の変化量が所定量を超えたとき、あるいは、現在のダイレクトコンバージョン受信機が、電源投入直後の期間、間欠受信における受信機の立ち上げ直後の期間、W-CDMAシステムにおける異周波数測定の開始直後の期間のいずれかにあるときに、前記ハイパスフィルタの遮断周波数を、通常動作における周波数より高い周波数に切り換えて、ハイパスフィルタの時定数を小さくし、DC変動を高速に収束させるフィルタ制御部を有している。

【0031】請求項4記載の本発明のAGC回路では、ゲイン変化量検出部にて、可変利得増幅器のゲインの変化量が所定量以上であることを検出し、その検出結果の通知を受けて、フィルタ制御部が、ハイパスフィルタの遮断周波数を高側に切り換える。

【0032】請求項5記載の本発明のAGC回路では、請求項4において、ハイパスフィルタの遮断周波数が高側に切り換えられている期間では、ゲイン算出器およびゲイン制御部は、1回の更新当たりのゲインの変化幅を大きくするか、あるいは、更新の周期を短くするかの少なくとも一つを行つて、通常の動作時よりも高速なAGC制御を実現する。DCオフセットの危険性が低減されているため、負帰還ループのゲインを高くして、受信環境への追従を高速化するものである。

【0033】請求項6に記載の本発明のAGC回路は、請求項4または請求項5において、フィルタ制御部は、ハイパスフィルタの遮断周波数を高側に切り換えた後、再び低側に戻し、電力測定部は、所定期間における平均受信電力を測定するに際し、所定期間内の、ハイパスフ

ィルタの遮断周波数が高側に切り換えられている区間については、受信電力の測定を行わない。DCオフセットが増大する期間における電力の実測値は信頼性が低いため、これをAGC制御の基礎としないことで、制御の信頼性低下を防止するものである。

【0034】請求項7に記載の本発明のAGC回路は、ハイパスフィルタを通過した信号のDCオフセットが増大する可能性が高い状態であるか否かを、復調処理後の信号に含まれる情報に基づいて、あるいは、ダイレクトコンバージョン受信機自体の動作状態に基づいて判定し、その判定結果をフィルタ制御部に通知する判定部を設け、判定部からの通知を受けると、フィルタ制御部は、ハイパスフィルタの遮断周波数を、高側に切り換えるようにした。この構成によれば、請求項4に記載のゲイン変動量検出部が不要となる。

【0035】請求項8および請求項9に記載の本発明のAGC回路では、請求項7において、請求項5や請求項6に記載される発明と同様の制御を行うものである。

【0036】請求項10記載の本発明は、請求項3～請求項9のいずれかに記載のAGC回路を搭載したCDMA受信機であり、このCDMA受信機は、ダイレクトコンバージョン受信機のもつ小型、軽量、低消費電力という優れた特性をもち、かつ、DCオフセットに起因する復調精度の低下やAGC制御の不安定化といった問題もなく、安定した動作が保障される。

【0037】また、請求項11～請求項15に記載される発明は、ベースバンド可変利得增幅回路に関するものであり、請求項11は、ゲイン変動量を検出してハイパスフィルタの遮断周波数を切り換える構成、請求項12は、AGCモード信号とタイミング制御信号に基づいてハイパスフィルタの遮断周波数を切り換える構成、請求項13は、デジタル制御データを受けて、ハイパスフィルタの遮断周波数を切り換える構成、請求項14は、PLLシンセサイザを利用してハイパスフィルタの遮断周波数を切り換える構成、請求項15は、電源オンのタイミングを基準としてハイパスフィルタの遮断周波数を切り換える構成、をそれぞれ記載している。

【0038】このように、本発明の骨子は、AGC制御に起因してDCオフセットが増大する状況となったときに、ハイパスフィルタの時定数を小さくして、直流分の変動の累積を防止してDCオフセットを低減することである。

【0039】ここでDCオフセットが増大する状況であることを検出する方法としては、大別して、次の3つの方法が考えられる。

【0040】第1の方法は、ゲイン制御のゲイン変動量を検出し、予め設定した閾値を越えた場合にDCオフセットが増大する危険性あり、と判断する方法であり、第2の方法は、ユーザにより電源投入時、間欠受信の立ち上げ時などを内部の制御信号に基づいて検知し、DC変

動が生じやすいタイミングを特定する方法であり、第3の方法は、コンプレストモード時などにおいて、受信信号に含まれる報知情報よりセル間を移動する等の情報を入手し、これによりDC変動が生じるタイミングを特定する方法である。

【0041】本発明では、AGC制御による可変利得増幅器のゲイン切り換えに起因するDCオフセットの増大が懸念される状況を、上述のいずれかの方法で検出し、ハイパスフィルタの時定数をほんのわずかの期間だけ変化させて、直流分の誤差の累積を未然に防止する。

【0042】以下、本発明の実施の形態について図面を参照して、具体的に説明する。

【0043】(実施の形態1) 本実施の形態の特徴は、可変利得増幅器のゲイン変動量を検出して、ハイパスフィルタの時定数を切り換えることである。

【0044】本発明のダイレクトコンバージョン受信機の構成や動作を説明する前に、まず、ハイパスフィルタのカットオフ周波数の切り換えが、ダイレクトコンバージョン受信機におけるDCオフセットの低減に有効な理由について、図2～図10を用いて、説明する。

【0045】図2は、アナログ制御電圧を用いて可変利得増幅回路の利得を変化させた場合の可変利得増幅器のゲイン特性を示し、図3は、デジタル制御信号(シリアルデータ)による制御をした場合の可変利得増幅器のゲイン特性を示している。

【0046】本実施の形態に係る発明は、図2あるいは図3に示すように、ゲインがリニアに変化する特性を持つ可変利得増幅回路において実現可能である。

【0047】図4は、ハイパスフィルタのカットオフ周波数と受信信号の復調精度(誤差特性)の関係を示し、図5は、ハイパスフィルタのカットオフ周波数に対する微分波形の収束特性を示す。図5において、特性S1, S2, S3の順に、カットオフ周波数が高くなっている。

【0048】図4からわかるように、カットオフ周波数が高くなると変調信号成分の振幅・位相変化が大きくなることで復調精度が低下する。

【0049】また、図5からわかるように、ハイパスフィルタのカットオフ周波数を高くすると、ハイパスフィルタの過渡特性により微分波形が発生した場合に、その微分波形の電圧レベルの収束に要する時間が短くなる。

【0050】つまり、ハイパスフィルタのカットオフ周波数を増大させると、微分波形の収束が早まるが、一方で、復調精度が劣化していく。よって、受信特性を優先する際にはハイパスフィルタのカットオフ周波数を下げなければならない、また、これに対してDC変動の収束を優先する際にはハイパスフィルタのカットオフ周波数を高くしなければならない。

【0051】図6は、可変利得増幅器に設定するゲインの変動量と、発生するDCオフセット量の対応関係を示

す図である。

【0052】図6からわかるように、ベースバンド可変利得増幅回路においては、ゲイン変化量に比例してDC変動量が増加していく傾向がある。このことから、可変利得増幅回路に設定するゲインの変化が大きい時(AGCモード1のとき)のみ、ハイパスフィルタのカットオフ周波数をDC変動が安定するまでの一定期間だけ高くし、それ以外のとき(AGCモード2のとき)は、カットオフ周波数を低くすることで、状況に合わせた最適な制御が可能になることが推測される。

【0053】一方、図7に感度点付近のDCオフセット値による復調信号のBER(Bit Error Rate)特性を示し、図8に受信電界が一定状態における、DCオフセット値に対応した平均電力測定値の変化を示す。

【0054】図7から、DCオフセット値が増えるに従って復調信号のBER特性が劣化していくことがわかり、図8からDCオフセット値が増えるに従って測定電力値が高い値を示すようになることがわかる。

【0055】つまり、DCオフセットは、ある値までは影響が少ないのであり、この影響が少ない範囲の最大のオフセット値を許容値(しきい値)として定め、DCオフセットがこれを越えたときは、ハイパスフィルタのカットオフ周波数を高くし、それ以下では、ハイパスフィルタのカットオフ周波数を低くすることが最良であるといえる。

【0056】図10は、従来のように、ハイパスフィルタのカットオフ周波数を固定したままで、可変利得増幅器のゲイン切り換えを短いインターバルで頻繁に行った場合において、DCオフセットが累積していく様子を示しており、図9は、本発明を用いて、ハイパスフィルタのカットオフ周波数を適宜、切り換えた場合の、DCオフセットの変動の様子を示している。

【0057】図10からわかるように、1回のゲイン切り換えに対応して発生した微分波形の電圧変動が十分に収束する前に、次の微分波形が outputされると、直流分のシフトが次々と累積していく、結果的に、極めて大きなDCオフセットが発生することになる。

【0058】このような、大きなDCオフセットが発生する危険性が高いのは、例えば、電源投入時等に、可変利得増幅器のゲインを、大幅に、しかも高速に変化させるとある。

【0059】例えば、仮に、可変利得増幅器のゲインを10段階に変化させることができるとし、現在のゲインがレベル1であったものを、レベル10まで変化させる場合に、一挙に10段階のレベルを変化させることはできないから、各レベル毎に段階的に、高速にレベルを変化させる必要がある。

【0060】このとき、1回のゲインの切り換えに伴って、ハイパスフィルタからは、次々と微分波形が outputされ、図10に示すように、直流分のシフトが累積して、

トータルとして大きなDCオフセットとなる。

【0061】これに対し、図9に示すように、ハイパスフィルタの時定数を小さくすると、微分波形は先鋭化し、電圧レベルは急速に収束する。つまり、各微分波形の重なりがなくなり、これにより、直流分のシフトが累積するという事態が確実に防止されることになる。

【0062】したがって、本発明のように、DCオフセットが増大する危険性の高いタイミングで、ハイパスフィルタのカットオフ周波数を瞬間に高くして時定数を小さくすることで、過渡応答によるDC変動が発生しても速やかに収束させることでDC変動の累積を防止し、常に、DC変動量を問題のないレベルに抑えることが可能となる。

【0063】以上の考察に基づいて、本実施の形態では、ハイパスフィルタのカットオフ周波数をダイナミックに変化させると共に、そのようなカットオフ周波数の変化を考慮しつつ、AGCループを構成する各部の動作タイミングをきめ細かく制御することにより、DCオフセットの増大を確実に防止しつつ、安定した回路動作を保障する。

【0064】図1に示されるように、本実施の形態のダイレクトコンバージョン方式の受信機は、アンテナ25、受信用のバンドパスフィルタ(RX-BPF)26、ローノイズアンプ(LNA)1、直交ミキサ2a, 2b、局部発振器(ローカル)3、移相器4、ベースバンド可変利得増幅回路6、直流カットコンデンサC1, C2、A/Dコンバータ13a, 13b、デコーダ17、判定部18、受信電力測定部16、タイミング制御部20、ゲイン算出部22、ゲイン制御部23を有する。

【0065】また、ベースバンド可変利得増幅回路6は、利得可変増幅器7a, 7b, 7c, 7d, 7e, 7f、ローパスフィルタ(LPF)8a, 8b、カットオフ周波数切り替えハイパスフィルタ(HPF)12a, 12b, 12c, 12d、オールパスフィルタ(APF)14a, 14b、ゲイン変化量検出部9、フィルタ制御部11を有する。

【0066】次いで、ダイレクトコンバージョン受信機の動作について説明する。

【0067】アンテナ25で受信された信号は、RX-BPF26により、受信帯域外の不要な信号成分(送信機によるノイズを含む)が除去された後、LNA1に入力される。LNA1は、変調された受信信号(f0±Δf)を増幅した後、2つの直交ミキサ2a, 2bに出力する。

【0068】局部発振器3は、LNA1の出力周波数と同一周波数の信号を発振し(f0)、移相器4に出力する。移相器4は、局部発振器3から出力された信号を、直交ミキサ2aには位相をそのまで、直交ミキサ2bには90度位相を進めて出力する。直交ミキサ2a, 2bには

bは、LNA1からの出力($f_0 \pm \Delta f$)と、移相器4からの出力(f_0)を乗算し、発生したベースバンド信号(Δf)をベースバンド可変利得增幅回路6に出力する。

【0069】ベースバンド可変利得增幅回路6に入力された信号は、LPF8a, 8b, HPF12a, 12b, 12c, 12d、およびAPF14a, 14bで所定の不要な周波数成分が除去され、また、可変利得增幅器7a, 7b, 7c, 7d, 7e, 7fにおいて、所定のゲインに従って増幅される。

【0070】ここで、HPF12a, 12b, 12c, 12dは、フィルタ制御部11によって予め設定されたカットオフ周波数に従って、ベースバンド信号の当該カットオフ周波数以下の周波数成分を除去する。

【0071】また、可変利得增幅器7a, 7b, 7c, 7dのゲインは、ゲイン制御部23によってダイナミックに調整される。

【0072】ベースバンド可変利得增幅回路6の出力信号は、位相が90度異なるI成分およびQ成分毎に、直流カットコンデンサC1, C2を経由した後、A/Dコンバータ13a, 13bにおいてA/D変換が行われ、デコーダ17においてデコード(逆拡散を含む)される。A/Dコンバータ13a, 13bの各出力は、受信電力測定部16にも出力される。

【0073】受信電力測定部16では、受信信号のI成分およびQ成分の振幅の2乗値を加算後、電力値に換算する。W-CDMA方式のようにピークファクターが異なる受信信号を受信する装置においては、受信タイミングにより受信レベルが異なっているため(システム的に決まる)、電力測定値をある一定区間で平均化することで電力値換算する必要がある。この測定区間は、判定部18から出力される受信モード信号により決定される。この点については、後述する。

【0074】判定部18には、受信信号の含まれる種々の情報が供給され、また、電源投入を通知する信号VDや、間欠受信時におけるタイミング制御信号VXも供給される。

【0075】この判定部18は、受信信号に含まれる種々の情報から現在の受信状態を判定し、あるいは、電源投入通知信号VDや、間欠受信時におけるタイミング制御信号VXによって、現在のダイレクトコンバージョン受信機の動作状態を判定し、その判定結果をタイミング制御部20に通知すると共に、AGCモード信号19を、受信電力測定部16、ゲイン算出部22およびゲイン制御部23に与える。

【0076】なお、タイミング制御部20は、受信電力測定部16、ゲイン算出部22、ゲイン制御部23、およびベースバンド可変利得增幅回路6における回路電源制御部24のそれぞれに、制御信号21a～21dを与える、各部のタイミングを統括的に制御する。回路電源制御部24は、ベースバンド可変利得增幅回路6の電源を

間欠的にオン/オフさせて、いわゆる間欠受信(待ち受け受信モード)を実現する。

【0077】ここで、本実施の形態におけるAGCモードとしては、高速モード(モード1)と低速モード(モード2)があり、高速モード(モード1)は、例えば、電源投入直後で同期確立前、間欠受信立ち上げ時、異周波数測定立ち上げ時等において、受信環境に適応して可変利得増幅器7a, 7b, 7c, 7d, 7e, 7fのゲインを高速に追従させるときに採用されるモードである。

【0078】一方、低速モード(モード2)は、可変利得増幅回路の利得調整が収束して、安定したデータ受信が行われている時に採用されるモードであり、このモードでは、DCオフセットの増大を招かないように、可変利得増幅回路のゲインの更新頻度を少なくし、また、1回の更新量を小さくして、ゲイン切り換えに伴う高調波成分のレベルを抑制する。

【0079】受信電力測定部16、ゲイン算出部22、ゲイン制御部23の各々の動作タイミングは、判定部18から出力されるAGCモード信号と、タイミング制御部20から出力されるタイミング制御信号21a～21cに基づいて決定される。

【0080】また、回路電源制御部24の動作タイミングは、タイミング制御部20から出力されるタイミング制御信号21dにより制御される。

【0081】ゲイン制御部23は、ゲイン算出部22が算出したゲインを、可変利得増幅器7a, 7b, 7c, 7d, 7e, 7fのそれぞれに設定する。

【0082】ゲイン変化量検出部は、可変利得増幅器のゲイン変動量(前回の設定値と今回の設定値との差分量)が所定のしきい値を超える場合に、このことをフィルタ制御部11に通知する。

【0083】フィルタ制御部11は、ゲイン変化量検出部9からの通知を受けると、ハイパスフィルタ12a, 12b, 12c, 12dのカットオフ周波数を高く切り替え、時定数を小さくしてDC変動を速やかに収束させ、一定時間経過後に再び、カットオフ周波数を低くする。このような、ハイパスフィルタのカットオフ周波数の切り換えは、AGCモード1のときに行われる。すなわち、AGCモード1は、ハイパスフィルタのカットオフ周波数の切り換え伴うモードである。

【0084】一方、上述のAGCモード2のときには、フィルタ制御部11は、ハイパスフィルタのカットオフ周波数を低いままで(通常のカットオフ周波数のまま)維持する。

【0085】以上の動作により、AGC回路を搭載するダイレクトコンバージョン受信機において、AGC制御に起因して大きなDCオフセットが発生するのを確実に防止することができる。

【0086】ただし、AGC回路では、負帰還制御ルー

の構成要素である各部が、AGCモードに対応して協同して動作することが必要である。したがって、ハイパスフィルタの時定数の切り換えを考慮して、各部の動作タイミングを最適化することが重要である。

【0087】このような観点から、本実施の形態では、受信電力測定部16では、AGCモードに対応して、電力測定動作のタイミングを適宜、変更する。

【0088】図11(a)は、AGCモード1(ハイパスフィルタの切り換えを伴うモード)における平均電力測定のタイミング例を示す図であり、図11(b)は、AGCモード2における平均電力測定のタイミング例を示す図である。

【0089】図11(a)において、平均電力測定期間がt1～t3であるとし(この期間は、例えば、1スロット期間に対応する)、その初期の期間(t1～t2)では、ハイパスフィルタの過渡応答によってDCオフセットが増大する危険性が高く(ゆえに、この期間においてハイパスフィルタの時定数の切り換えが行われる)、電力測定が正しく行われない可能性が高いため、その区間の電力測定を除き、それ以降の測定を行う。

【0090】一方、AGCモード2(AGCが収束して、安定した受信が行われている状態に対応するモード)では、図11(b)に示すように、測定精度を高めるために、測定区間を広くとる(期間t1～t3)。これにより、ハイパスフィルタの動作に関わらず電力測定を正しく行うことが可能となるまた、ゲイン算出部22の動作も、AGCモードに対応して、適切に制御される。つまり、受信電力測定部16と同様に、判定部18からのAGCモード信号19およびタイミング制御部20からの制御信号21bに基づいて、ゲイン算出方法や、ゲイン制御部23へのデータ送出タイミングが決定される。

【0091】図12(a)は、AGCモード1のときの、1回の更新あたりのゲイン変動量および更新周期の一例を示し、図12(b)は、AGCモード2のときの、1回の更新あたりのゲイン変動量および更新周期の一例を示している。

【0092】図12(a)のように、AGCモード1のときは、ゲイン変動量(可変利得増幅器に設定されるゲインの今回値と前回値との差)が大きくなることが予想されるため、ハイパスフィルタのカットオフ周波数の切り換えを前提として、1回のゲイン変動量を大きく、ゲイン更新タイミングを早くすることで、速やかに最適な受信信号の振幅に収束させる。

【0093】図12(a)において、f1～f3は、ゲイン算出部22で算出されるゲイン値であり、各ゲイン値のレベルは、段階的に変化している。1回の更新あたりの変動量が最大なのは、ゲイン値f1であり、このときは、レベルL0からレベルL1に変化しており、これが許容される最大の変動量(ゲインの最大の変動幅)L

MS1となる。また、ゲインの更新周期も短い間隔(時刻t1～t3)で行われる。

【0094】一方、図12(b)に示すように、AGCモード2のときは、ゲイン変動量がそれほど大きくないことが予想されるため、1回当たりのゲイン変動量を小さく、ゲイン更新タイミングをゆっくりとすることでハイパスフィルタの特性に合わせた制御が適当である。特に、AGCモード2のときは、データ受信が行われていることもあり、許容値を越えたDCオフセットを発生させない程度のゲイン変動になるように設定することで、安定的な受信が可能になる。

【0095】すなわち、図12(b)では、1回の更新あたりのゲイン変動量の許容最大幅がLMS2に抑制されている。また、ゲインの更新間隔も長くして(時刻t4～t8)、大きなDCオフセットを発生させずに安定した動作ができるように配慮している。

【0096】なお、ゲイン変動の更新タイミングは、実使用状態におけるフェージング周波数、変調信号の包絡線(エンベロープ)との兼ね合いから、適応的に決定することが好ましい。

【0097】なお、ゲイン算出部22からの出力は、ゲイン算出値をそのままシリアルデータとして出力してもよいし、直流電圧を用いてゲイン制御を行うタイプの可変利得増幅器の場合は、ゲイン算出部22の算出データ値をD/A変換器によりアナログ電圧に変換して、可変利得増幅器に供給する。シリアルデータによる制御については、図18～図20を用いて、後に具体的に説明する。

【0098】ゲイン制御部23でも同様に、判定部18からのAGCモード信号やタイミング制御部20からの制御信号21cに基づいて動作タイミングが決定される。

【0099】ゲイン算出部22からの算出値を受信後、速やかにゲイン制御部23からゲイン制御信号Sをベースバンド可変増幅器6に出力することで、ゲイン算出部22におけるゲイン値の算出周期(出力周期)に同期したゲインの更新を実現することができる。

【0100】図13(a)は、AGCモード1における、AGC制御ループを構成する各部の動作タイミングの一例を示すタイミング図であり、図13(b)は、AGCモード2における、AGC制御ループを構成する各部の動作タイミングの一例を示すタイミング図である。

【0101】図13(a)に示すように、AGCモード1のときは、時刻t1～t2において、ゲイン制御部23による可変利得増幅器7a～7fのゲイン制御が行われ、時刻t2～t3において、ゲイン変動量検出部9がゲイン変動(今回値と前回値との差分)が測定される。

【0102】検出されたゲイン変動量がしきい値を超えている場合には、時刻t3～t4の期間において、フィルタ制御部11により、ハイパスフィルタ12a～12

dのカットオフ周波数 (f_c) が高い周波数に切り換えられ、大きなDCオフセットが発生する可能性が低くなつた時刻 t_4 に、ハイパスフィルタのカットオフ周波数は元の低い周波数に戻る。.

【0103】受信電力測定部16は、時刻 t_3 ～ t_4 の期間は、受信電力の測定を中止し、時刻 t_4 から受信平均電力の測定を開始する。受信電力の測定は時刻 t_5 まで行われ、時刻 t_5 ～ t_6 において、実測された受信電力に基づいて、可変利得増幅器に設定すべきゲイン値が、ゲイン算出部22により算出される。そして、時刻 t_6 以降、同様の制御が行われる。 10

【0104】AGCモード2の場合には、図13 (b) に示すように、時刻 t_1 ～ t_2 においてゲイン制御が行われ、時刻 t_2 ～ t_3 においてゲイン変化が検出され、時刻 t_3 ～ t_6 において電力測定が行われ、時刻 t_8 ～ t_9 においてゲイン値が算出される。以降、同様の制御がなされる。

【0105】図14に、AGC制御動作 (AGCモードの切り換え、ハイパスフィルタのカットオフ周波数の切り換え動作を含む) の主要な手順を示す。図14のフローでは、ダイレクトコンバージョン受信機が、消費電力削減のために間欠受信 (基地局からの呼び出しを間欠的にチェックし、それ以外の期間は回路の電源をオフする様の受信) を行っていることを前提としている。

【0106】まず、電源が投入され、あるいは、間欠受信の立ち上げタイミングとなって受信部がオンすると (ステップ100) 、電源投入直後であるか、間欠受信立ち上げ時であるか、あるいは、コンプレストモードによる異周波数測定立ち上げ時であるかを、判定部18が判定する (ステップ101) 。 20

【0107】ここで、電源投入直後、間欠受信立ち上げ時、あるいは、コンプレストモードによる異周波数測定立ち上げ時である場合には、可変利得増幅器のゲインが収束しておらず、ゲイン切り換えに伴ってDCオフセットが増大する可能性が高いから、AGCモード1に移行し (ステップ102) 、それ以外の場合には、受信モード2に移行する (ステップ109) 。

【0108】AGCモード1では、ループを回した回数を記録するためのパラメータnをゼロにクリアした後 (ステップ103) 、電力測定 (必要な場合には、これと並行して、ゲイン変化量検出部9、フィルタ制御部11の制御によりハイパスフィルタのカットオフ周波数の切り換え) が行われる (ステップ104) 。 30

【0109】そして、ゲイン算出 (ステップ105) 、ゲイン制御 (ステップ106) が行われ、ループが10回まわっていない場合にはAGC制御を続行し (ステップ107, 108) 、受信部が非動作となる直前まで (ステップ116) 、同様の制御を繰り返す。

【0110】一方、AGCモード2のときは、電力測定を行い (ステップ110) 、ゲイン算出 (ステップ11 50

1) 、ゲイン制御 (ステップ112) 、データ判定 (ステップ113) を行う。

【0111】そして、ステップ114にて、m回の同期外れを検出すると、可変利得増幅器のゲイン設定を最初からやり直す必要があるためにAGCモード2に戻り、一方、同期外れが検出されないならば、受信部が非動作となる直前まで (ステップ115) 、同様の制御を繰り返す。

【0112】このように、本実施の形態のダイレクトコンバージョン受信機 (AGC内蔵のW-CDMA方式の受信機) では、AGC制御による可変利得増幅器のゲイン切り換えに伴ってDCオフセットが増大するという問題点に対して、ハイパスフィルタの時定数を短くして過渡応答を高速に吸収するという対策が自動的に採られると共に、そのようなハイパスフィルタのカットオフ周波数 (遮断周波数) の切り換えを伴うモード (AGCモード1) と、安定した動作時におけるモード (AGCモード2) に分けて、AGC制御ループを構成する各部の動作を、最適にコントロールすることにより、AGCを不安定化させる心配もなく、きわめて良好な負帰還制御が実現される。

【0113】図15に、変形例の構成を示す。図15のダイレクトコンバージョン受信機の構成は、図1の構成とほとんど同じであるが、ベースバンド可変利得増幅回路6の電源をオン／オフさせるための構成が異なる。

【0114】図1の場合、ベースバンド可変利得増幅回路6に内蔵される回路電源制御部24が、タイミング制御部20からのタイミング制御信号21dに基づいて、回路電源をオン／オフしている。

【0115】これに対し、図15では、可変増幅器用電源制御部50を外部に設けて、ここから電源電圧の供給をコントロールするようしている。図15のベースバンド可変利得増幅回路6には、外部から供給される電源電圧を入力するための回路 (電源入力部) 51が設けられている。

【0116】(実施の形態2) 図16は、本発明の実施の形態2にかかるダイレクトコンバージョン受信機 (AGC内蔵のW-CDMA方式の受信機) の構成を示すブロック図である。

【0117】本実施の形態にかかる受信機の主要な構成は、前掲の実施の形態1 (図1) とほぼ同じであるが、本実施の形態の場合、ハイパスフィルタの時定数の切り換え制御を、判定部18から出力されるAGCモード信号19およびタイミング制御部20からのタイミング制御信号21eに基づいて行うこととし、図1のゲイン変化量検出部9を除去した点に特徴がある。

【0118】上述のように、ハイパスフィルタのカットオフ周波数の切り換えが必要となるのは、電源投入直後のように、AGCがまったく収束しておらず、高速にループを回して、可変利得増幅器のゲインを伝搬環境に高

速追従させる必要があるときである。

【0119】このような場合のAGCループの各部の動作は、判定部18ならびにタイミング制御部20により、統括的に制御されている。よって、判定部18から出力されるAGCモード信号19およびタイミング制御部20から出力される制御信号21eによって、ハイパスフィルタの切り換えタイミングも制御することが可能である。

【0120】このような観点から、図16では、フィルタ制御部11に、判定部18から出力されるAGCモード信号19およびタイミング制御部20から出力される制御信号21eを与えていた。

【0121】これにより、図1において設けられていたゲイン変化量検出部9が不要となり、回路の簡素化を図ることができる。

【0122】ただし、図16の構成を採用する場合には、判定部18から出力されるAGCモード信号19をフィルタ制御部11に伝達する信号線における遅延と、タイミング制御部20から出力される制御信号21eを伝達する信号線における遅延とを精度よく揃える必要がある。

【0123】図17は、変形例の構成を示すブロック図である。

【0124】図17のダイレクトコンバージョン受信機の構成は、図16の構成とほとんど同じであるが、ベースバンド可変利得増幅回路6の電源をオン／オフさせるための構成が異なる。

【0125】図16の場合、ベースバンド可変利得増幅回路6に内蔵される回路電源制御部24が、タイミング制御部20からのタイミング制御信号21dに基づいて、回路電源をオン／オフしている。

【0126】これに対し、図17では、可変増幅器用電源制御部50を外部に設けて、ここから電源電圧の供給をコントロールするようにしている。図17のベースバンド可変利得増幅回路6には、外部から供給される電源電圧を入力するための回路（電源入力部）51が設けられている。

【0127】（実施の形態3）本発明の特徴であるハイパスフィルタのカットオフ周波数の切り換えを、実際の回路で行う場合の実現方法としては、種々のものが考えられる。本実施の形態では、上述の実施の形態では開示されていない、カットオフ周波数切り換えのための構成のバリエーションについて説明する。

【0128】図18のダイレクトコンバージョン受信機では、可変利得増幅器のゲイン制御を、アナログ制御信号ではなく、デジタルデータ（シリアルデータ）により行う例を示している。

【0129】ゲイン制御部23からは、ゲイン制御信号（シリアルデータ）が输出される。このシリアルデータは、例えば、16ビットの幅を有し、そのうちの10ビ

ットをゲインデータとし、残りの6ビットは、種々の制御に自由に使用できるようにしておく。

【0130】そして、ハイパスフィルタのカットオフ周波数の切り換えを行わせる場合には制御データを“1”とし、逆に、制御データが“0”的ときは、カットオフ周波数の切り換えは行わないこととする。

【0131】このように、ゲイン調整をデジタルデータによって行う場合には、ハイパスフィルタのカットオフ周波数の切り換えの有無を示すデータを送信することは容易である。

【0132】但し、ベースバンド可変利得増幅回路6において、インタフェースとして、D/A変換器を設ける必要がある。また、アナログ制御信号によるゲイン調整の場合、AGCモード2からAGCモード1への切り換えで、ハイパスフィルタのカットオフ周波数を高め、AGCモード2からAGCモード1への切り換えで、再び、カットオフ周波数を元に戻すという動作を自動的に行なうことができるが、デジタルデータによるゲイン調整の場合、ハイパスフィルタのカットオフ周波数を一旦、高めた後、それを元に戻すためには、再度、デジタルデータを入力して指示するか、あるいはタイマによる時間制御を行う必要がある。

【0133】図18では、ベースバンド可変利得増幅回路6内に、D/Aコンバータ501を設けると共に、タイマ502を設けて、ハイパスフィルタのカットオフ周波数を切り換えてから所定時間が経過したことを検出できるようにし、その所定時間経過のタイミングで、フィルタ制御部11が、カットオフ周波数を元に戻すようにしている。

【0134】図19では、アナログ制御信号によるゲイン調整の場合において、ベースバンド可変利得増幅回路6の電源のオンをトリガーとして、フィルタ制御部11がハイパスフィルタのカットオフ周波数を高めに切り換えるようにしている。

【0135】つまり、上述のとおり、DCオフセットの増大が問題となる状態の一つとして、電源投入直後や間欠受信時の回路電源オン直後の状態があり、このような状態にあることは、回路電源を制御する部分の動作をウォッチングすることで把握することができる。

【0136】そこで、図19では、電源入力部51から電源電圧が供給されるタイミングで、フィルタ制御部11がハイパスフィルタのカットオフ周波数を高めに切り換える。その後、タイマ502にて所定時間の経過をチェックし、所定時間経過後のタイミングで、カットオフ周波数を元に戻す。

【0137】図19の構成の場合、図1のようにゲイン変動量をウォッチングする必要はなく、電源のオンのみに着目してハイパスフィルタの時定数の切り換えを行えるため、回路構成を簡素化することができる。

【0138】また、図20では、ベースバンド可変利得

増幅回路6がPLL回路(PLLを用いた周波数シンセサイザ)を内蔵していることを前提として、外部から、このPLL回路の出力信号の周波数を制御することで、ハイパスフィルタのカットオフ周波数の切り換えの指示を行うものである。

【0139】PLL周波数シンセサイザ(PLL回路)は、PLLのループに可変分周器を挿入し、この分周器に設定する分周比を変化させることにより、所望の周波数の発振出力を取り出す回路である。

【0140】図20では、このようなPLL回路703が、ベースバンド可変利得増幅回路6に備えられている。そして、シンセサイザ制御部701からシリアル制御データを出し、シリアルインターフェース702がこのシリアル制御データを解読して、PLL回路703の発振周波数の切り替え及びカットオフ周波数を切り替える制御信号として、フィルタ制御部11に与えるようになる(発振周波数の切り替え、すなわち、異周波確認により、大きな電界レベル変動が予想されるため、同時にカットオフ周波数の切り替えを行う)。

【0141】このように、ベースバンド可変利得増幅回路6に備わっている既存の回路を利用することで、効率よくハイパスフィルタのカットオフ周波数の切り替えを行うことができる。なお、カットオフ周波数を元に戻す制御は、図18、図19の場合と同じく、タイマ502を用いて行う。

【0142】以上説明したように、本発明のダイレクトコンバージョン受信機におけるAGC回路、およびこれを搭載したCDMA受信機では、受信信号の振幅安定化のために必須であるAGC動作を環境に適応させて高速に、かつ安定に行わせることを保障しつつ、そのAGC動作に起因して発生するDCオフセット(ハイパスフィルタの過渡応答波形の累積によるDCシフトの増大)の問題を、ハイパスフィルタの時定数をごく短い時間だけ小さくして過渡的な振動波形を急速に収束させるという新規な手法を用いて、確実に防止することができる。

【0143】つまり、ハイパスフィルタのカットオフ周波数(f_c)を切り換えることで、常に最適な受信状態が実現される。

【0144】すなわち、従来のように、ハイパスフィルタの特性が固定されている場合(ハイパスフィルタのカットオフ周波数が低い状態)では、可変利得アンプのゲイン変化が大きいとき、DCオフセットの発生により、復調タイミングが、理想的なタイミング(サンプリング点)からのずれが大きくなつて復調精度(ビットエラーレート)が低下し、かつ、大きな電力測定誤差が発生して、実質的に受信不能状態に陥つてしまつ。

【0145】一方、ハイパスフィルタのカットオフ周波数を高くすると、つまり変調信号(受信信号)成分の周波数に近づけると、変調信号(受信信号)の振幅・位相の変化が大きくなり復調精度を低下させる。この問題が

10

20

30

40

50

あるために、ハイパスフィルタのカットオフ周波数は低めに設定しておくのが良いのであり、こうしておけば、DCオフセットの変動が発生しないという条件下では、良好な受信状態を実現できることになる。

【0146】したがつて、これらの両方の場合の長所を享受できるようにするべく、本発明では、ハイパスフィルタのカットオフ周波数を、最適なタイミングでダイナミックに切り換える。

【0147】これにより、過渡特性に優れるハイパスフィルタ(カットオフ周波数が高い状態)と、静特性に優れるハイパスフィルタ(カットオフ周波数が低い状態)の双方の長所を取り込むことができ、これにより、常に、良好な受信状態が実現されることになる。

【0148】また、CDMA受信機において不可欠なAGCに関しては、受信精度の低下を心配することなく、最適な制御(高速モードや低速モードの自在な切り替え等)を行うことができる。

【0149】これにより、コンパクトで低消費電力性に優れるという特性をもつダイレクトコンバージョン受信機を、CDMA方式(W-CDMA方式やIS95に準拠した方式を含む)の受信機に現実に搭載することができるとなり、これにより、受信機の小型化、低消費電力化が実現される。

【0150】

【発明の効果】以上説明したように、本発明では、ダイレクトコンバージョン受信機の内部回路の直流分オフセットが、AGC動作に起因して、許容値を超えて増大する可能性がある期間において、ハイパスフィルタのカットオフ周波数(時定数)をダイナミックに切り換える制御し、直流分のシフトの累積(加算)を防止する。これにより、ダイレクトコンバージョン受信機を、AGC回路を内蔵する通信機器(W-CDMA方式の受信機等)に、安心して搭載することが可能となる。

【0151】また、本発明のダイレクトコンバージョン受信機におけるAGC回路は、AGC動作自体に起因して、DCオフセットが増大するという問題に対する対策回路(つまり、危険期間を検出してハイパスフィルタの時定数を切り換える回路)を内蔵しているため、従来例のように、受信状態に高速追従するべくAGCループのゲインを高めると、かえつて、AGCの収束を遅らせる事態が発生するという自己矛盾が生じることがなく、したがつて、環境に追従して、自在にAGC制御を行うことができる。

【0152】また、AGC回路は、負帰還制御ループを構成する各部が、互いに協同して同期をとりつつ安定に動作することが必要であるが、本発明のAGC回路では、ハイパスフィルタのカットオフ周波数の切り換えの有無を考慮して複数のAGCモードを設け、各モード毎に、各部が最適な動作をするように配慮している。すなわち、可変利得増幅器内のハイパスフィルタみの制御で

なく、測定部、算出部、ゲイン制御部、可変増幅器内の電源制御部の全てを各々、適切に制御しているため、AGC回路は、どのような状態にあっても、常に安定に動作することが保障される。

【0153】本発明を用いることにより、優れた特性をもちながら、DCオフセットの問題があるがゆえに、実用化しにくかったダイレクトコンバージョン受信機を、CDMA受信機として、実際に使用することが可能となる。これにより、CDMA受信機のさらなる小型化や低消費電力化（電池の長寿命化）を達成することが可能となる。

【図面の簡単な説明】

【図1】本発明の実施の形態1にかかる、ダイレクトコンバージョン受信機（AGC回路を内蔵したCDMA受信機）の構成を示すブロック図

【図2】ベースバンド可変利得増幅回路内の可変利得増幅器における、制御値（アナログ制御電圧）と設定されるゲインとの関係を示す図

【図3】ベースバンド可変利得増幅回路内の可変利得増幅器における、制御値（設定データ）と設定されるゲインとの関係を示す図

【図4】図1のダイレクトコンバージョン受信機における、ハイパスフィルタのカットオフ周波数と復調精度（誤り特性）との関係を示す図

【図5】ハイパスフィルタのカットオフ周波数を3段階に変化させた場合の、過渡応答波形が収束する様子を示す波形図

【図6】図1のダイレクトコンバージョン受信機におけるAGC制御により、可変利得増幅器に設定するゲインが変化した場合に、そのゲインの変動（レベル変動）に比例してDCオフセットが増大する様子を示した図

【図7】DCオフセット量と復調信号のビット誤り率（BER）との関係を示す図

【図8】DCオフセット量と平均電力測定値との関係を示す図

【図9】ハイパスフィルタのカットオフ周波数を、通常よりも高側に切り換えた場合に、過渡応答波形同士の重なりが生じない様子を示した図

【図10】ハイパスフィルタのカットオフ周波数を従来どおり固定した場合に、過渡応答波形同士の重なりが生じて大きなDCオフセット発生する様子を示した図

【図11】（a）図1のダイレクトコンバージョン受信機において、AGCモード1（高速追従モード：ハイパスフィルタの遮断周波数の切り換えを伴うモード）が採用されている場合に、受信平均電力を測定するタイミングを示すタイミング図（b）図1のダイレクトコンバージョン受信機において、AGCモード2（低速追従モード：ハイパスフィルタの遮断周波数の切り換え無しのモード）が採用されている場合に、受信平均電力を測定するタイミングを示すタイミング図

10

20

30

40

50

【図12】（a）図1のダイレクトコンバージョン受信機において、AGCモード1（高速追従モード：ハイパスフィルタの遮断周波数の切り換えを伴うモード）が採用されている場合における、1回の更新当たりのゲイン変化量と更新周期の例を示す図（b）図1のダイレクトコンバージョン受信機において、AGCモード2（低速追従モード：ハイパスフィルタの遮断周波数の切り換え無しのモード）が採用されている場合における、1回の更新当たりのゲイン変化量と更新周期の例を示す図

【図13】（a）図1のダイレクトコンバージョン受信機において、AGCモード1（高速追従モード：ハイパスフィルタの遮断周波数の切り換えを伴うモード）が採用されている場合における、AGCループを構成する各部の動作タイミングを示すタイミング図（b）図1のダイレクトコンバージョン受信機において、AGCモード2（低速追従モード：ハイパスフィルタの遮断周波数の切り換え無しのモード）が採用されている場合における、AGCループを構成する各部の動作タイミングを示すタイミング図

【図14】本発明のAGC回路（図1のダイレクトコンバージョン受信機に搭載されているAGC回路）の主要な動作手順を示すフロー図

【図15】図1のダイレクトコンバージョン受信機の主要な構成はそのままにして、ベースバンド可変利得増幅回路の電源制御方式のみを変更した変形例の構成を示すブロック図

【図16】本発明の実施の形態2にかかる、ダイレクトコンバージョン受信機（AGC回路を内蔵したCDMA受信機）の構成を示すブロック図

【図17】図16のダイレクトコンバージョン受信機の主要な構成はそのままにして、ベースバンド可変利得増幅回路の電源制御方式のみを変更した変形例の構成を示すブロック図

【図18】本発明の実施の形態3にかかる、ダイレクトコンバージョン受信機の回路構成の一例（可変利得増幅器のゲイン制御をシリアルデータにて行う回路）を示すブロック図

【図19】本発明の実施の形態3にかかる、ダイレクトコンバージョン受信機の回路構成の一例（電源オンをトリガーとしてハイパスフィルタの時定数を切り換える回路）を示すブロック図

【図20】本発明の実施の形態3にかかる、ダイレクトコンバージョン受信機の回路構成の一例（PLLシンセサイザを利用して、ハイパスフィルタの時定数の切り換えを指示する回路）を示すブロック図

【符号の説明】

1 ローノイズアンプ（LNA）

2 a, 2 b 直交ミキサ

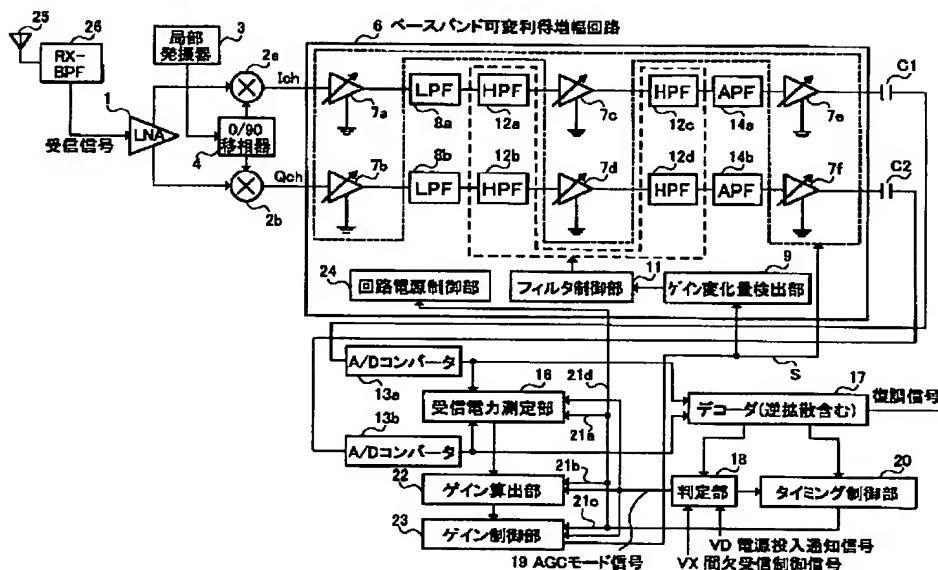
3 局部発振器

4 移相器

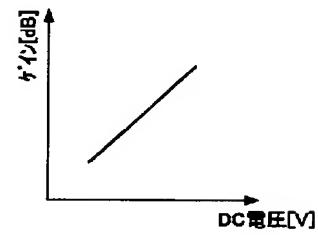
6 ベースバンド可変利得増幅回路
 7 a～7 f 可変利得増幅器
 8 a, 8 b ローパスフィルタ
 9 ゲイン変化量検出部
 11 フィルタ制御部
 12 a～12 d ハイパスフィルタ
 13 a, 13 b A/Dコンバータ
 14 a, 14 b オールパスフィルタ

16 受信電力測定部
 17 デコーダ (逆拡散回路を含む)
 19 AGCモード信号
 18 判定部
 20 タイミング制御部
 21 a～21 d タイミング制御信号
 24 回路電源制御部

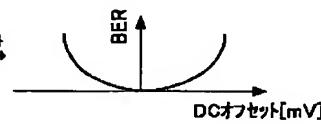
【図1】



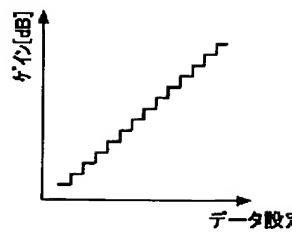
【図2】



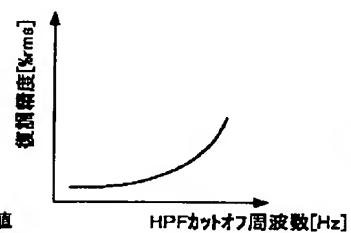
【図7】



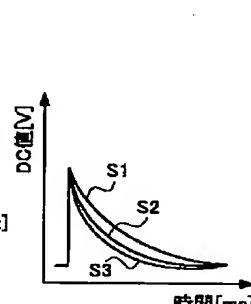
【図3】



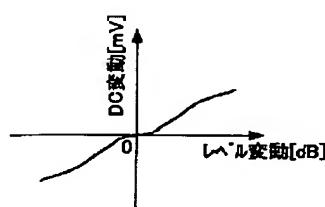
【図4】



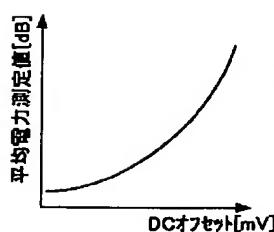
【図5】



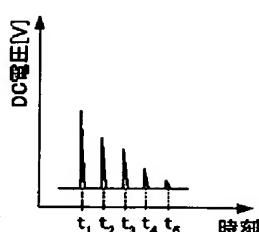
【図6】



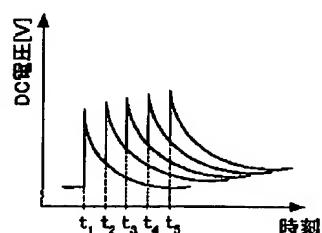
【図8】



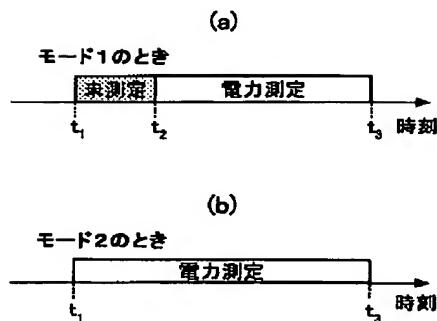
【図9】



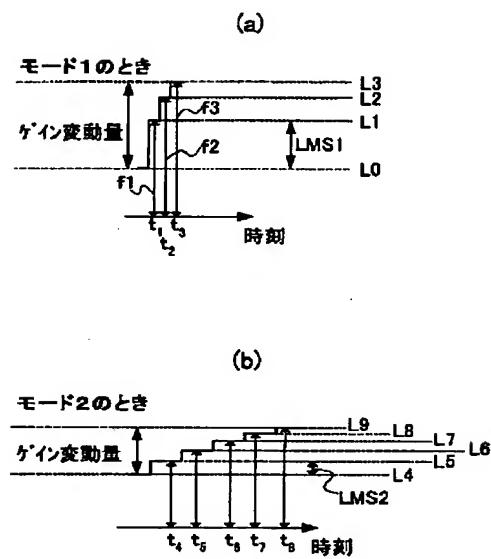
【図10】



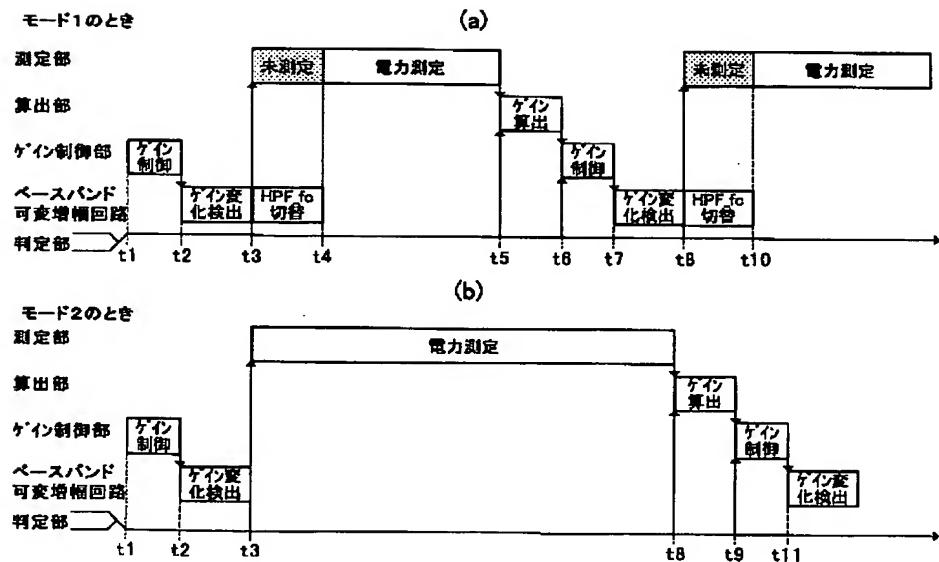
【図11】



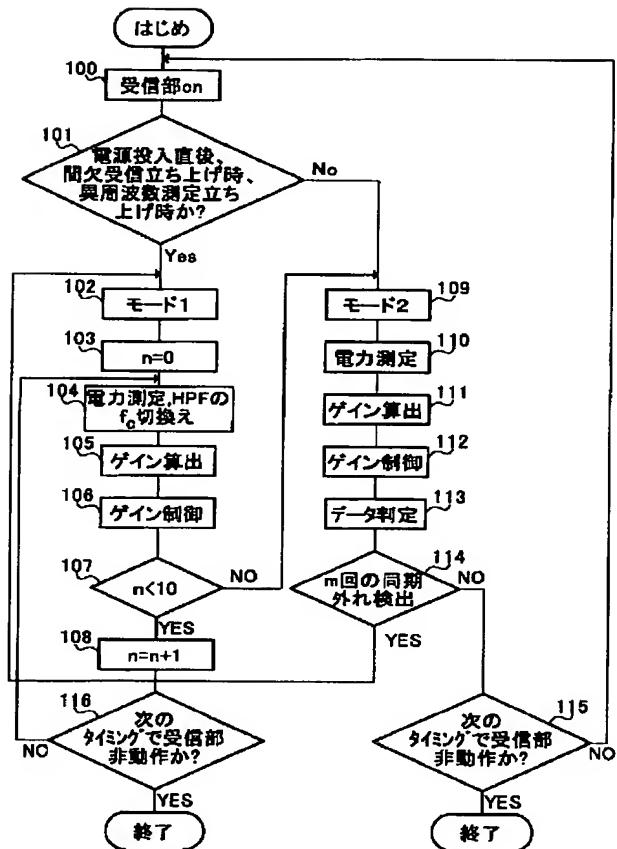
【図12】



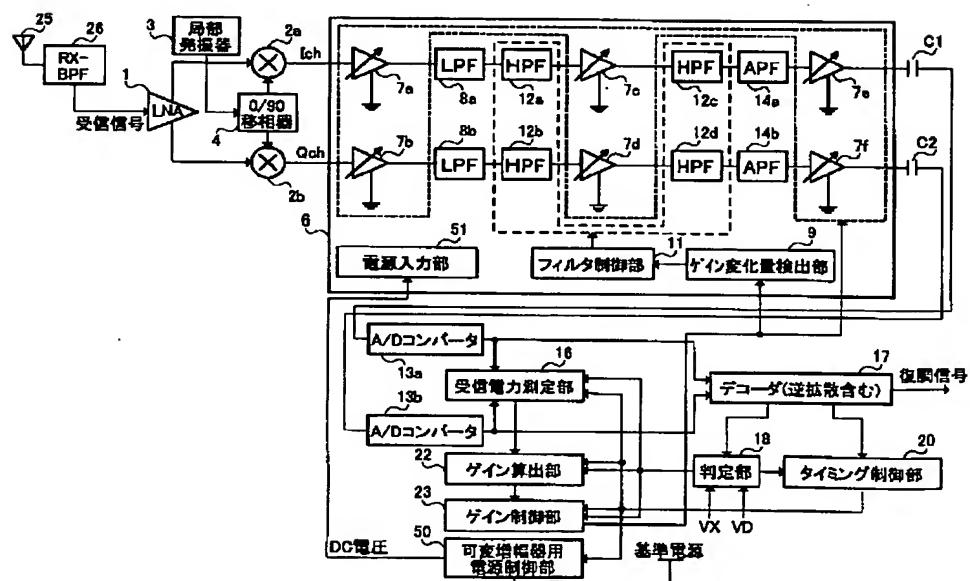
【図13】



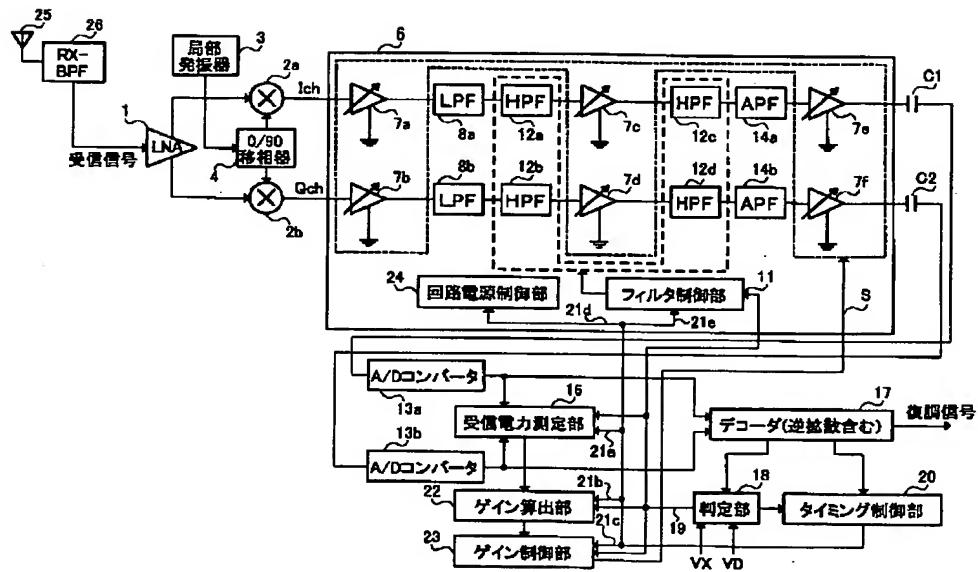
【习题 1.4】



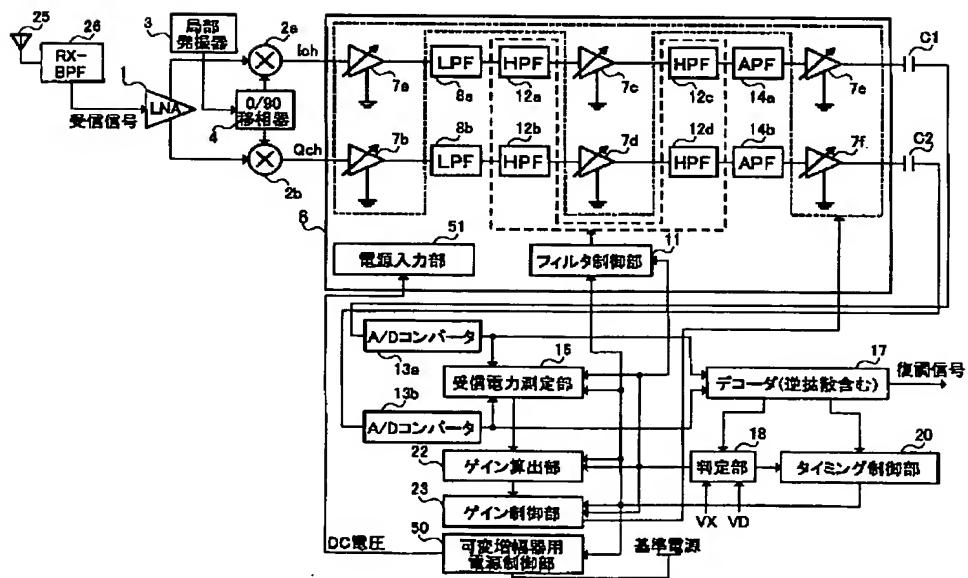
【図15】



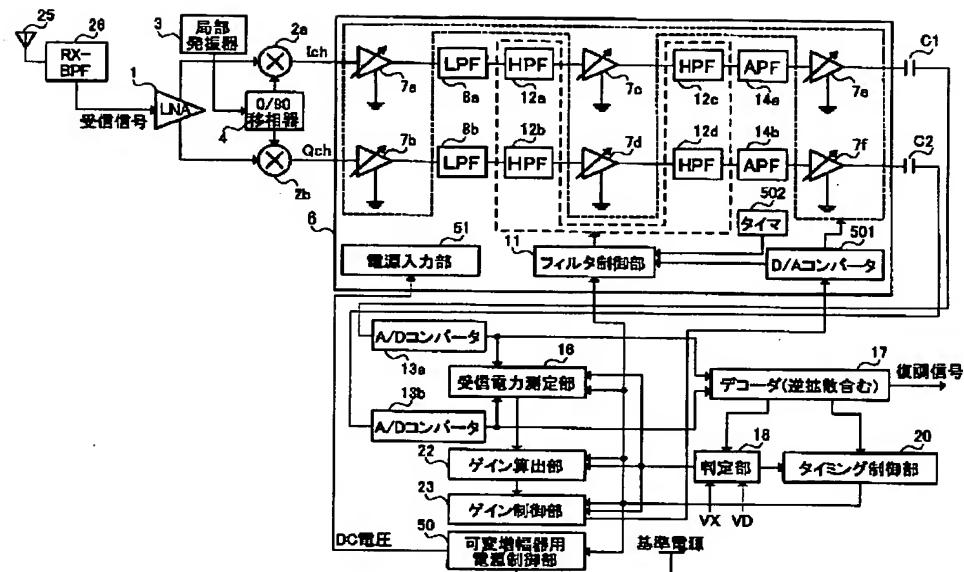
【図16】



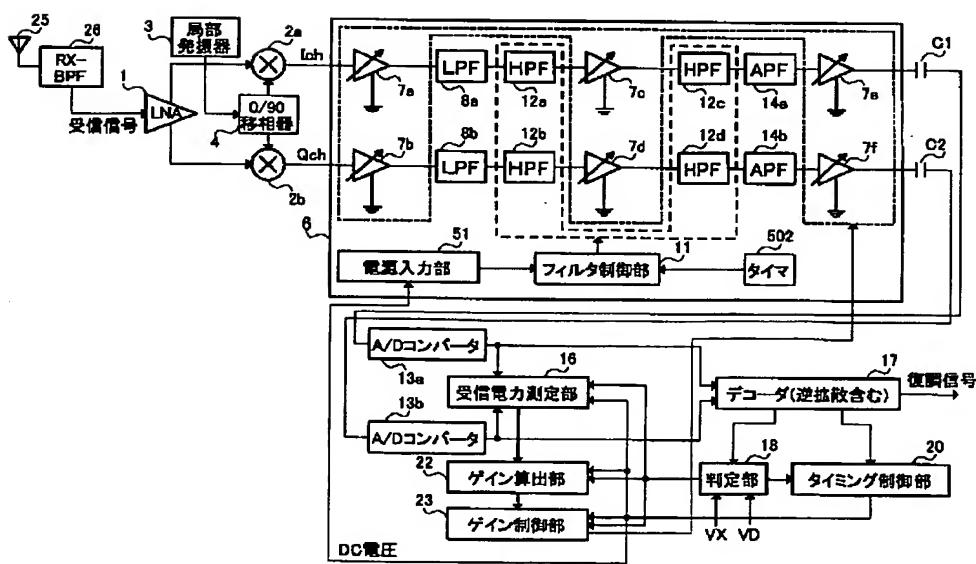
【図17】



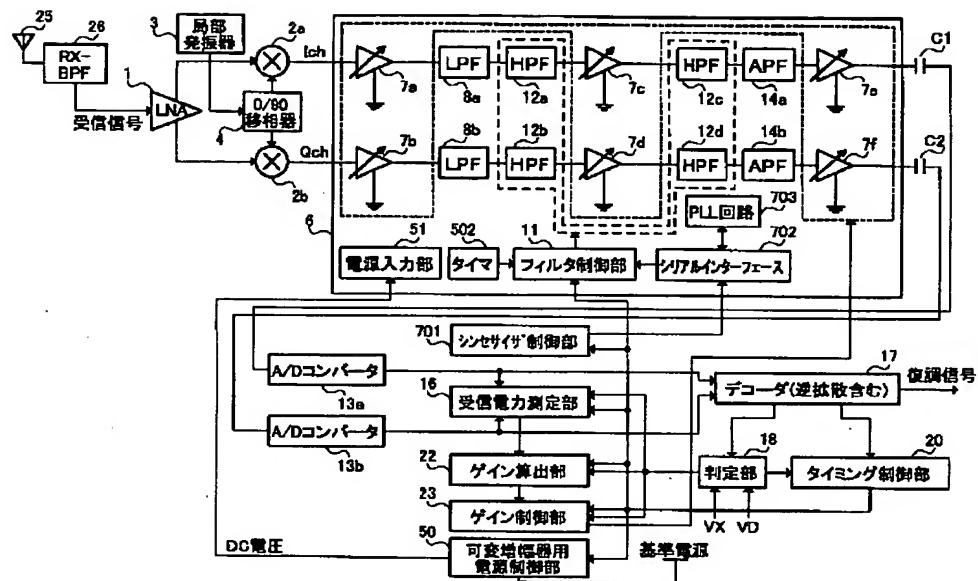
【図18】



【図19】



【図20】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.